МИНИСТЕРСТВО ВЫСШЕГО И СРЕДНЕГО СПЕЦИАЛЬНОГО ОБРАЗОВАНИЯ РЕСПУБЛИКИ УЗБЕКИСТАН

ТАШКЕНТСКИЙ ИНСТИТУТ ИРРИГАЦИИ И МЕХАНИЗАЦИИ СЕЛЬСКОГО ХОЗЯЙСТВА

Газиева Р.Т., Нигматов А.М, Бозоров Э.О., Озодов Э.О.

ЦИФРОВОЕ УПРАВЛЕНИЕ

Учебное пособие

для студентов специальности

5311000-«Автоматизация и управление технологических процессов и производств (в водном хозяйстве)»

ТАШКЕНТ- 2021

УДК: 681.5(075)

Аннотация

Учебник подготовлен в соответствии с учебными планами дисциплины «Цифровые системы управления». В книге изложены теоретические и практические вопросы, знание которых требуется для создания современных цифровых систем управления в сельском и водном хозяйстве.

Учебное пособие рассчитано для студентов высших учебных заведений, обучающихся по направлению специальности 5311000-«Автоматизация и управление технологических процессов и производств (в водном хозяйстве)».

Учебник может использоваться и для обучения по другим аналогичным дисциплинам в высших учебных заведениях.

Аннотация

Ўкув кулланма “Ракамли бошкариш тизимлари” фанининг ўқув режалари асосида тайёрланган. Китобда сув хўжалигида замонавий ракамли бошкариш тизимларини қуриш учун билиш талаб қилинадиган назарий ва амалий саволлар баён қилинган. Хусусан, ТЖАБТ таркибидаги ракамли бошкарув элементларининг асосий тушунчалари, микропроцессорли бошқарув тизимлари ва уларни қуриш тамойиллари тўғрисида, кишлок ва сув хўжалиги тизимларда технологик жараёнларни бошқарувини автоматлаштириш ва ахборот таъминоти масалалари тўғрисида, ракамли бошкарув тизимлари концепцияси негизида замонавий автоматлаштирилган тизимни қуриш тўғрисида баён қилинган.

Ўкув кулланма олий ўқув юртларининг 5311000 – “Технологик жараёнлар ва ишлаб чиқаришни автоматлаштириш ва бошқарув (сув хўжалигида)” йўналиши бўйича ўқитилаётган талабалар учун мўлжалланган.

Шунингдек ,ушбу ўкув кулланма олий ўқув юртларининг шунга ўхшаш фанлари бўйича таълим беришда ҳам қўлланилиши мумкин.

Annotation

The manual was prepared in accordance with the curriculum of the discipline "Digital control systems". The book contains theoretical and practical issues, knowledge of which is required to create modern digital control systems in agriculture and water management. In particular, the basic concepts and definitions of digital APCS systems, microprocessor control systems and the principles of their construction, the tasks of information support and automation of technological processes in agriculture and water management, the life cycle of creating a modern automated system based on digital systems using microcontrollers , signal processors, and specialized microcircuits such as codecs, modems, analog-to-digital or digital-to-analog converters.

The textbook is designed for students of higher educational institutions studying in the specialty 5311000- "Automation and control of technological processes and production (in water management)".

The textbook can be used for teaching in other similar disciplines in higher educational institutions.

Введение

Современный этап развития АСУТП характеризуется применением индустриальных технологий создания и внедрения АСУТП на базе серийно выпускаемых промышленных контроллеров, совместимых с персональными компьютерами и мощных программно-технических комплексов (ПТК) поддержки программирования АСУТП – SCADA систем, а также развития и стандартизации сетевых технологий.

Учитывая изложенное, в настоящее время в Республике Узбекистан уделяется большое внимание подготовке в высших учебных заведениях высококвалифицированных специалистов по автоматизации технологических процессов и управления в водном хозяйстве.

В связи с этим, в настоящее время имеется потребность в подготовке и издании учебного пособия, позволяющего студентам бакалавриата направления 5311000-«Автоматизация и управление технологических процессов и производств (в водном хозяйстве)» в соответствии с учебными планами получить необходимые знания и навыки по применению элементов современных цифровых систем управления при создании АСУТП в в сельском и одном хозяйстве.

Целью дисциплины «Цифровое управление» является обучение студентов теоретическим основам, методам и средствам создания цифровых систем управления и формирования у них навыков для самостоятельного решения теоретических и прикладных задач автоматизации технологических процессов на технологических объектах сельского и водного хозяйства.

Учитывая это, в данном учебном пособии отражены теоретические и практические вопросы, знание которых требуется для создания современной цифровых систем управления в сельском и водном хозяйстве.

В настоящее время цифровые устройства выполняются в основном с применением микроконтроллеров, сигнальных процессоров и

специализированных микросхем, таких как кодеки, модемы, аналого-цифровые или цифроаналоговые преобразователи. При этом достаточно часто возникают вопросы согласования сигналов, которыми обмениваются данные микросхемы. Иногда требуется инверсия управляющих или информационных сигналов, иногда не совсем совпадают протоколы обмена (вид сигналов записи и чтения, сигналы стробирования данных). В этом случае применение больших интегральных микросхем, таких как ПЛИС CPLD или FPGA нецелесообразно. Это либо невыгодно экономически, либо требуется большая площадь на печатной плате цифрового устройства. В то же самое время применение старых типов микросхем малой интеграции, таких как 1533 или 1564 неприемлемо либо из-за больших габаритов корпуса этих микросхем, либо несовместимости логических уровней, либо недопустимых времен распространения сигнала.

1. Основные понятия. Цифровые устройства, структура

Виды цифровых микросхем. Вся современная схемотехника разделяется на две большие области: аналоговую и цифровую. Аналоговая схемотехника характеризуется максимальным быстродействием, малым потреблением энергии и малой стабильностью параметров. Цифровая схемотехника обладает прекрасной повторяемостью параметров. Это привело к её развитию в последние годы. В результате в ряде устройств потребление цифровых модулей оказалось сравнимым и даже меньше потребления аналоговых схем, реализующих те же функции. Основные направления развития цифровых микросхем в настоящее время приведены на рисунке 1.1

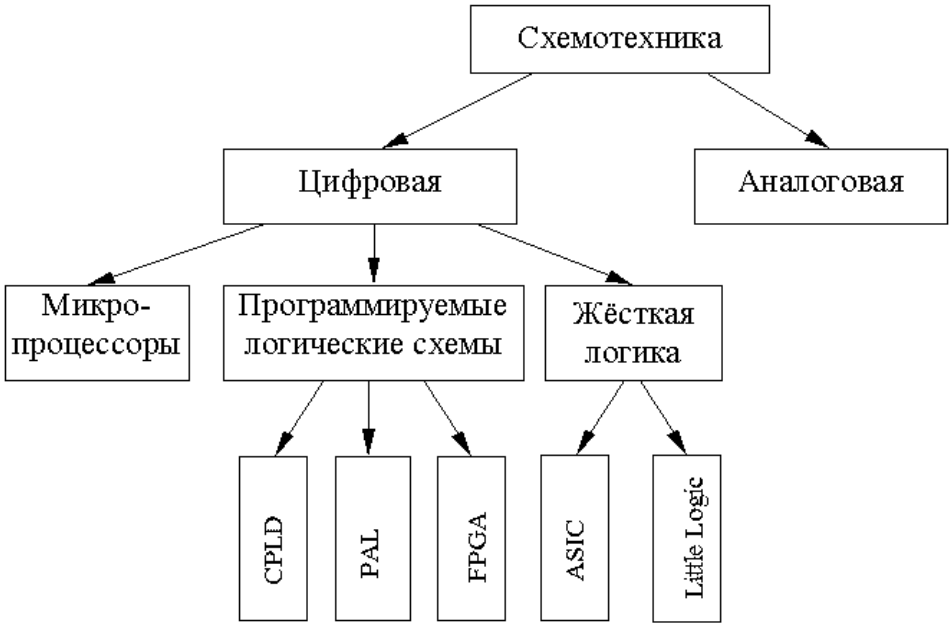


Рисунок 1.1 Классификация видов цифровых микросхем

Для того, чтобы лучше понимать особенности работы цифровых микросхем в данном курсе мы кратко повторим особенности основных технологий производства цифровых микросхем, применяемых в настоящее время: ТТЛ, и КМОП, По мере развития цифровых микросхем их быстродействие достигло впечатляющих результатов. Наиболее быстрые из цифровых микросхем обладают скоростью переключения порядка 3..5 нс. (серия микросхем 74ALS),

а внутри кристалла микросхемы, где нет больших ёмкостей нагрузки время переключения измеряется пикосекундами. Таким быстродействием обладают программируемые логические схемы и заказные БИС. В этих микросхемах алгоритм решаемой задачи заключён в их принципиальной схеме.

Часто для решаемой задачи не требуется такого быстродействия, каким обладают современные цифровые микросхемы. Однако за быстродействие приходится платить:

1. Быстродействующие микросхемы потребляют значительный ток.
2. Для решения задачи приходится использовать много микросхем, это выливается в стоимость и габариты устройства.

Первую задачу решает применение технологии КМОП цифровых микросхем (например микросхемы серий 1564, 74HC, 74AHC). Потребляемый ими ток зависит от скорости переключения логических вентилей. Именно поэтому в настоящее время подавляющее большинство микросхем выпускается именно по этой технологии.

Вторую задачу решают несколькими способами. Для жёсткой логики это разработка **специализированных БИС**. Использование специализированных БИС позволяет уменьшить габариты устройства, но стоимость его снижается только при крупносерийном производстве. Для среднего и малого объёмов производства такое решение неприемлемо.

Ещё одним решением уменьшения габаритов и стоимости устройства является применение программируемых логических схем (**ПЛИС**). Это направление активно развивается в настоящее время.

2. Области применения цифровых микросхем

Общие сведения. Цифровые микросхемы первоначально разрабатывались для построения электронно-вычислительных машин, получивших в дальнейшем название компьютеры. То есть первое их предназначение было заменить человека при выполнении рутинной работы. Сейчас, наверное, никто и не вспомнит, что слово калькулятор ещё каких-нибудь шестьдесят лет назад обозначало не маленький карманный прибор, а профессию большого числа людей, которые занимались расчётами по конкретным математическим формулам. Однако вскоре после начала массового производства цифровых микросхем выяснилось, что они оказались очень удобны для управления какими либо объектами. При этом управляемая схема может обычно находиться в двух состояниях. Например: схема может быть либо включена, либо выключена, светодиод может либо гореть, либо не гореть, соединение в телефонной станции может быть или не быть, радиостанция может находиться в режиме передачи или в режиме приёма. В результате цифровые микросхемы практически полностью вытеснили применявшиеся ещё с девятнадцатого века для управления приборами электромагнитные реле и перфокарты.

При выполнении задачи управления для описания состояния объекта достаточно двух значений: напряжение высокое или низкое (положительное или отрицательное) ток протекает или не протекает. Это позволило избавиться от многих неприятных моментов аналоговых схем. Например, ошибка при прохождении через схему не увеличивается (в отличие от шумов), а в ряде случаев даже может быть скомпенсирована. Сами цифровые схемы при правильном использовании не вносят ошибок. Эти свойства цифровых микросхем привели к бурному развитию цифровой техники.

Приведённые преимущества привели к тому, что в дальнейшем цифровая техника стала использоваться и для решения других задач. Например для формирования высокостабильных колебаний для радиотехнических изделий или для использования в качестве эталонных

интервалов времени в часах. Здесь тоже нет необходимости формировать различные уровни напряжения генерируемого сигнала. Достаточно только, чтобы частота генерируемого колебания была стабильной. Затем стали разрабатываться методы и теория применения цифровых микросхем для формирования аналоговых сигналов. И здесь тоже основным фактором была возможность заранее прогнозировать уровень шумов. При этом уровень шума зависит только от сложности схемы, и не зависит (ну, или почти не зависит) от количества схем, через которые проходит сигнал. Это приводит к возможности передавать сигнал на любое расстояние (или производить любое количество копий сигнала).

Особенности цифровых устройств. Изучение цифровой техники начнем с самых элементарных вопросов: из каких элементов строятся цифровые схемы и как они устроены? Затем научимся реализовывать на основе этих простейших элементов цифровые устройства любой сложности. Для этого нам потребуется изучить основы алгебры логики и методы запоминания цифровых сигналов. Мы научимся отображать цифровую информацию и вводить ее в цифровые микросхемы.

Прежде всего отметим, что уровни логических сигналов не уменьшаются при распространении по цифровой схеме. Это означает, что цифровые микросхемы принципиально должны обладать усилением. В то же самое время логические уровни на выходе цифрового устройства точно такие же как и на входе, то есть они не возрастают при прохождении через логический элемент. Это обеспечивается тем, что на выходе цифровой микросхемы происходит ограничение сигнала. То есть цифровые микросхемы работают в ключевом режиме: транзистор может быть только открыт или закрыт. В результате на идеальном транзисторе рассеивания энергии не происходит и это означает, что в цифровых микросхемах можно достичь к.п.д близкого к 100%.

Виды цифровых микросхем. В настоящее время используется несколько видов логических элементов:

- диодно-транзисторная логика (ДТЛ)
- транзисторно-транзисторная логика (ТТЛ, TTL)
- логика на основе комплементарных МОП транзисторов (КМОП, CMOS)
- логика на основе сочетания комплементарных МОП и биполярных транзисторов (BiCMOS)

Первоначально получили распространение цифровые микросхемы, построенные на основе ТТЛ технологии. Поэтому до сих пор существует огромное количество микросхем, построенных по этой технологии или совместимые с этими микросхемами по напряжению питания, логическим уровням и цоколёвке. Электронные вычислительные машины выполняют арифметические и логические операции, при этом используется два класса переменных: числа и логические переменные.

- *Числа* несут информацию о количественных характеристиках системы; над ними производятся арифметические действия.

Логические переменные определяют состояние системы или принадлежность её к определённому классу состояний (коммутация каналов, управление работой ЭВМ по программе и т. п.).

Логические переменные могут принимать только два значения: *истина* и *ложь.* В устройствах цифровой обработки информации этим двум значениям переменных ставится в соответствие два уровня напряжения: высокий -- **(***логическая «1»***)** и низкий -- *(логический 0»).* Однако в эти значения не вкладывается смысл количества. Элементы, осуществляющие простейшие операции над такими двоичными сигналами, называют логическими. На основе логических элементов разрабатываются устройства, выполняющие и арифметические, и логические операции. В настоящее время логические элементы (ЛЭ) выполняются с помощью различных технологий, которые определяют численные значения основных параметров ЛЭ и, как следствие, качественные показатели цифровых устройств обработки информации, разработанных на их основе. Поэтому

в данном пособии схемотехнике и параметрам ЛЭ различных технологий уделено должное внимание.

Арифметические основы ЭВМ. В настоящее время в обыденной жизни для кодирования числовой информации используется десятичная система счисления с основанием 10, в которой используется 10 элементов обозначения: числа 0,1,2,…8,9. В первом (младшем) разряде указывается число единиц, во втором – десятков, в третьем – сотен и т. д.; иными словами, в каждом следующем разряде вес разрядного коэффициента увеличивается в 10 раз.

В цифровых устройствах обработки информации используется двоичная система счисления с основанием 2, в которой используется два элемента обозначения: 0 и 1. Веса разрядов слева направо от младших разрядов к старшим увеличиваются в 2 раза, то есть имеют такую последовательность: 8421. В общем виде эта последовательность имеет вид:

$$....2^5 2^4 2^3 2^2 2^1 2^0, 2^{-1} 2^{-2} 2^{-3}...$$

и используется для перевода двоичного числа в десятичное. Например, двоичное число 101011 эквивалентно десятичному числу 43:

$$2^5 \cdot 1 + 2^4 \cdot 0 + 2^3 \cdot 1 + 2^2 \cdot 0 + 2^1 \cdot 1 + 2^0 \cdot 1 = 43$$

В цифровых устройствах используются специальные термины для обозначения различных по объёму единиц информации: бит, байт, килобайт, мегабайт и т. д. Бит или двоичный разряд определяет значение одного какого-либо знака в двоичном числе. Например, двоичное число 101 имеет три бита или три разряда. Крайний справа разряд, с наименьшим весом, называется *младшим,* а крайний слева, с наибольшим весом, – *старшим*.

Байт определяет 8-разрядную единицу информацию, 1байт=2^3 бит, например, 10110011 или 01010111 и т. д., $1 кбайт = 2^{10} байт$, $1 Мбайт = 2^{10} кбайт = 2^{20} байт$

Для представления многоразрядных чисел в двоичной системе счисления требуется большое число двоичных разрядов. Запись облегчается, если использовать шестнадцатеричную систему счисления.

Основанием *шестнадцатеричной системы* счисления является число 16= 2^4, в которой используется 16 элементов обозначения: числа от 0 до 9 и буквы A,B,C,D,E,F. Для перевода двоичного числа в шестнадцатеричное достаточно двоичное число разделить на четырёх – битовые группы: целую часть справа налево, дробную – слева направо от запятой. Крайние группы могут быть неполными. Каждая двоичная группа представляется соответствующим шестнадцатеричным символом. Например, двоичное число 0101110000111001 в шестнадцатеричной системе выражается числом 5C39.

Пользователю наиболее удобна десятичная система счисления. Поэтому многие цифровые устройства, работая с двоичными числами, осуществляют приём и выдачу пользователю десятичных чисел. При этом применяется двоично – десятичный код.

Двоично – десятичный код образуется заменой каждой десятичной цифры числа четырёхразрядным двоичным представлением этой цифры в двоичном коде. Например, число 15 представляется как 00010101 BCD (Binary Coded Decimal). При этом в каждом байте располагаются две десятичные цифры. Заметим, что двоично–десятичный код при таком преобразовании не является двоичным числом, эквивалентным десятичному числу.

3. Сумматоры

Общие сведения. Сумматор (английское Adder) - логический операционный узел, выполняющий арифметическое сложение кодов двух чисел. Например, если один входной код - 7 (0111), а второй - 5 (0101), то суммарный код на выходе будет 12 (1100). Сумма двух двоичных чисел с числом разрядов N может иметь число разрядов (N + 1). Например, при суммировании чисел 13 (1101) и 6 (0110) получается число 19 (10011). Поэтому количество выходов сумматора на единицу больше количества разрядов входных кодов. Этот дополнительный (старший) разряд называется выходом переноса.

При арифметическом сложении выполняются и другие дополнительные операции: учёт знаков чисел, выравнивание порядков слагаемых и тому подобное.

На схемах сумматоры обозначаются буквами SM. В отечественных сериях код, обозначающий микросхему сумматора, - ИМ.

Сумматоры классифицируют по различным признакам.

В зависимости от системы счисления различают:

- двоичные;
- двоично-десятичные (в общем случае двоично-кодированные);
- десятичные;
- прочие (например, амплитудные).

По количеству одновременно обрабатываемых разрядов складываемых чисел:

- одноразрядные,
- многоразрядные.

По числу входов и выходов одноразрядных двоичных сумматоров:

- четвертьсумматоры (ЛЭ «сумма по модулю 2»; ЛЭ «исключающее ИЛИ»), характеризующиеся наличием двух входов, на которые подаются два одноразрядных числа, и одним выходом, на котором реализуется их арифметическая сумма;

- полусумматоры, характеризующиеся наличием двух входов, на которые подаются одноимённые разряды двух чисел, и двух выходов: на одном реализуется арифметическая сумма в данном разряде, а на другом - перенос в следующий (более старший разряд);
- полные одноразрядные двоичные сумматоры, характеризующиеся наличием трёх входов, на которые подаются одноимённые разряды двух складываемых чисел и перенос из предыдущего (более младшего) разряда, и двумя выходами: на одном реализуется арифметическая сумма в данном разряде, а на другом — перенос в следующий (более старший разряд).

По способу представления и обработки складываемых чисел многоразрядные сумматоры подразделяются на:

- последовательные, в которых обработка чисел ведётся поочерёдно, разряд за разрядом на одном и том же оборудовании;
- параллельные, в которых слагаемые складываются одновременно по всем разрядам, и для каждого разряда имеется своё оборудование.

Параллельный сумматор в простейшем случае представляет собой n одноразрядных сумматоров, последовательно (от младших разрядов к старшим) соединённых цепями переноса. Однако такая схема сумматора характеризуется сравнительно невысоким быстродействием, так как формирование сигналов суммы и переноса в каждом i-ом разряде производится лишь после того, как поступит сигнал переноса с (i-1)-го разряда. Таким образом, быстродействие сумматора определяется временем распространения сигнала по цепи переноса. Уменьшение этого времени - основная задача при построении параллельных сумматоров. Для уменьшения времени распространения сигнала переноса применяют: конструктивные решения, когда используют в цепи переноса наиболее быстродействующие элементы; тщательно выполняют монтаж без длинных проводников и паразитных ёмкостных составляющих нагрузки и (наиболее часто) структурные методы ускорения прохождения сигнала переноса.

По способу организации межразрядных переносов параллельные сумматоры, реализующие структурные методы, делят на сумматоры:

- с последовательным переносом;
- с параллельным переносом;
- с групповой структурой;
- со специальной организацией цепей переноса.

Среди сумматоров со специальной организацией цепей переноса можно указать:

- сумматоры со сквозным переносом, в которых между входом и выходом переноса одноразрядного сумматора оказывается наименьшее число логических уровней;
- сумматоры с двухпроводной передачей сигналов переноса;
- сумматоры с условным переносом (вариант сумматора с групповой структурой, позволяющий уменьшить время суммирования в 2 раза при увеличении оборудования в 1,5 раза);
- асинхронные сумматоры, вырабатывающие признак завершения операции суммирования, при этом среднее время суммирования уменьшается, поскольку оно существенно меньше максимального.

Сумматоры, которые имеют постоянное время, отводимое для суммирования, независимое от значений слагаемых, называют синхронными.

По способу выполнения операции сложения и возможности сохранения результата сложения можно выделить три основных вида сумматоров:

- комбинационный, выполняющий микрооперацию «S = A плюс B», в котором результат выдаётся по мере его образования (это комбинационная схема в общепринятом смысле слова);
- сумматор с сохранением результата «S = A плюс B»;
- накапливающий, выполняющий микрооперацию «S = S плюс».

Последние две структуры строятся либо на счётных триггерах (используются мало), либо по структуре «комбинационный сумматор – регистр хранения» (наиболее употребляемая схема).

Важнейшими параметрами сумматоров являются:

- разрядность;
- статические параметры: $U_{вх}$, $U_{вх}$, $I_{вх}$ и так далее, то есть обычные параметры интегральных схем.

Сумматоры характеризуются четырьмя задержками распространения:

- от подачи входного переноса до установления всех выходов суммы при постоянном уровне на всех входах слагаемых;
- от одновременной подачи всех слагаемых до установления всех выходов суммы при постоянном уровне на входе переноса;
- от подачи входного переноса до установления выходного переноса при постоянном уровне на входах слагаемых;
- от подачи всех слагаемых до установления выходного переноса при постоянном уровне на входах слагаемых.

Параметрами сумматоров являются:

- разрядность;
- статические параметры: $U_{вх}$, $U_{вх}$, $I_{вх}$ и т. п. (параметры интегральных микросхем);
- динамические параметры.

Сумматоры характеризуются четырьмя задержками распространения:

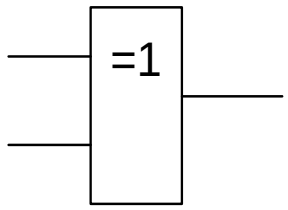
- от подачи входного переноса до установления всех выходов суммы при постоянном уровне на всех входах слагаемых;
- от одновременной подачи всех слагаемых до установления всех выходов суммы при постоянном уровне на входе переноса;
- от подачи входного переноса до установления выходного переноса при постоянном уровне на входах слагаемых;

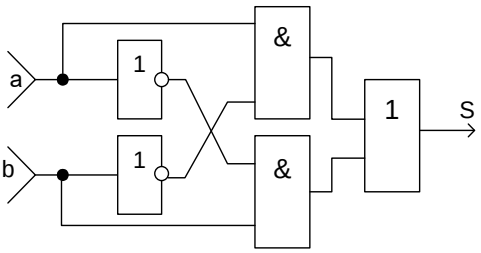
- от подачи всех слагаемых до установления выходного переноса при постоянном уровне на входах слагаемых.

Четвертьсумматор. Простейшим двоичным суммирующим элементом является четвертьсумматор. Происхождение названия этого элемента следует из того, что он имеет в два раза меньше выходов и в два раза меньше строк в таблице истинности по сравнению с полным двоичным одноразрядным сумматором. Наиболее известны для данной схемы названия: элемент «сумма по модулю 2» и элемент «исключающее ИЛИ».

Работа схемы описывается как $S=\bar{a}b + a\bar{b}=a \oplus b$.

На рис.1 приведено условное обозначение, схема, таблица истинности четвертьсумматора.





a	b	S
0	0	0
0	1	1
1	0	1
1	1	0

(а) *(б)* *(в)*

Рис.1. Условное обозначение (а), схема (б) и таблица истинности четвертьсумматора.

Четвертьсумматор может быть реализован в базисе И-НЕ или ИЛИ-НЕ.

$$S=\bar{a}b+a\bar{b}=\bar{a}a+\bar{a}b+\bar{b}b+a\bar{b}=$$
$$=a(\bar{a}+\bar{b})+b(\bar{a}+\bar{b})=a\overline{ab}+b\overline{ab}=\overline{\overline{a\overline{ab}}\cdot\overline{b\overline{ab}}}$$

$$S=\bar{a}b+a\bar{b}=\bar{a}a+\bar{a}b+\bar{b}b+a\bar{b}=$$
$$=\overline{\overline{\bar{a}(a+b)}}+\overline{\overline{\bar{b}(a+b)}}=\overline{a+\overline{a+b}}+\overline{b+\overline{a+b}}$$

Полусумматор. Полусумматор имеет два входа a и b для двух слагаемых и два выхода: S - сумма, P - перенос.

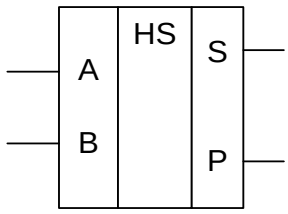
Обозначением полусумматора служат буквы HS (half sum — полусумма).

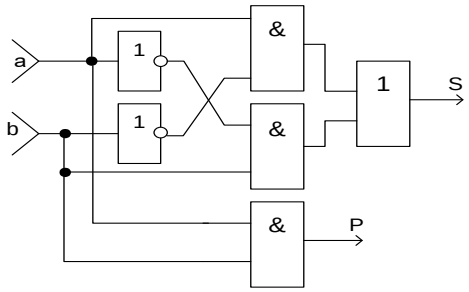
Работа полусумматора описывается логическими выражениями для суммы и переноса

$$S=\bar{a}b+a\bar{b}=a\oplus b$$

$$P=ab$$

На Рис.2. приведено условное обозначение, схема, таблица истинности полусумматора.





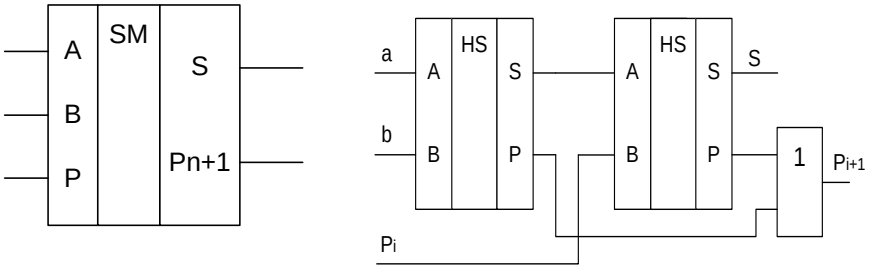
a	b	P	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

(а) *(б)* *(в)*

Рис.2. Условное обозначение (а), схема (б) и таблица истинности полусумматора

Полный одноразрядный двоичный сумматор. Полный одноразрядный сумматор – это устройство для сложения трех одноразрядных двоичных чисел: а, в, Р. Р – это сигнал переноса из предыдущего младшего разряда.

Полный сумматор имеет два выхода: S (сумма) и P_{n+1} (перенос возникающий в разряде). На Рис.3. приведено условное обозначение, схема, таблица истинности полного сумматора.



a	b	p	P n+1	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

(а) *(б)* *(в)*

Рис.3. Условное обозначение (а), схема (б) и таблица истинности полного сумматора

Выражения, описывающие работу полного двоичного сумматора (согласно таблице истинности), представленные в совершенной дизъюнктивной нормальной форме (СДНФ), имеют вид:

$$\left.\begin{aligned} S&=\bar{a}\bar{b}p+\bar{a}b\bar{p}+a\bar{b}\bar{p}+abp \\ P&=\bar{a}bp+a\bar{b}p+ab\bar{p}+abp \end{aligned}\right\}$$

При практическом проектировании сумматора уравнения S и P могут быть преобразованы к виду, удобному для реализации на заданных логических элементах с некоторыми ограничениями (по числу логических входов и другие) и удовлетворяющему предъявляемым к сумматору требованиям по быстродействию.

Выражение для переноса может быть минимизировано как

P = ab + ap + bp

Схема полного одноразрядного сумматора может быть построена на логических элементах согласно выражениям S и P или на двух полусумматорах (Рис.3. в).

Полный одноразрядный сумматор (Рис.3.а) имеет три входа: A, B - для двух слагаемых и P - для переноса из предыдущего (более младшего) разряда и два выхода: S - сумма, Pi+1 - перенос в следующий (более старший) разряд. Обозначением полного двоичного сумматора служат буквы SM. В таблице истинности (Рис.3.в) выходные сигналы P и S не случайно расположены именно в такой последовательности. Это подчеркивает, что PS рассматривается как двухразрядное двоичное число, например, $1 + 1 = 2_{10} = 10_2$, то есть P = 1, а S = 0 или $1 + 1 + 1 = 3_{10} = 11_2$, то есть P = 1, а S = 1.

Многоразрядные сумматоры. Используя полный сумматор можно построить суммирующее устройство для сложения многоразрядных двоичных чисел A и B. Различают многоразрядные последовательные и параллельные сумматоры. **Последовательный многоразрядный сумматор.** Последовательный многоразрядный сумматор состоит из оноразрядного сумматора на входы а и в которого из сдвигающих регистров, в которых хранятся n-разрядные числа A и B, подаются по тактам разряд за разрядам коды этих чисел, начиная с младшего разряда. Сформированная сумма накапливается в сдвигающем регистре суммы. Возникающий перенос с задержкой на элементе задержки на один такт поступает на вход сумматора только в следующем такте, когда на входы а и в будут поданы следующие разряды чисел A и B.

Схема последовательного сумматора представлена на рис.4. Достоинством последовательного сумматора является простота схемы, требующая минимального количества оборудования, недостатком – низкое быстродействие, т.к. для сложения кодов n-разрядных чисел требуется, учитывая возможность переполнения, n-1 такт работы.

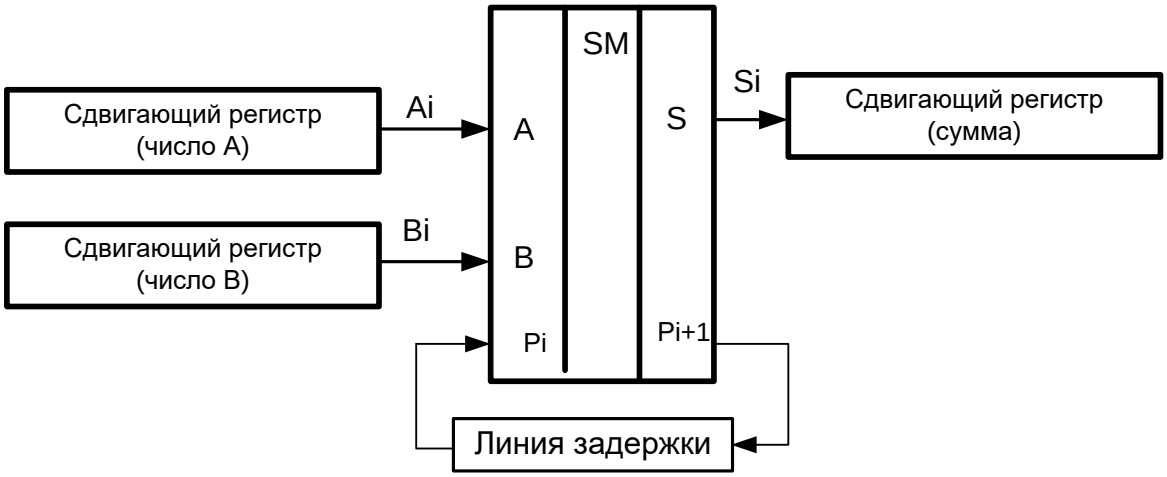


Рис.4. Последовательный многоразрядный сумматор

Параллельный многоразрядный сумматор с последовательным переносом. В этом сумматоре (Рис5) операция суммирования производится одновременно за один такт во всех разрядах чисел A и B, которые поступают на входы параллельным кодом.

Параллельный многоразрядный сумматор состоит из одного полусумматора (суммирование младших разрядов A и B) и n-1 полных сумматоров, где n – разрядность складываемых чисел.

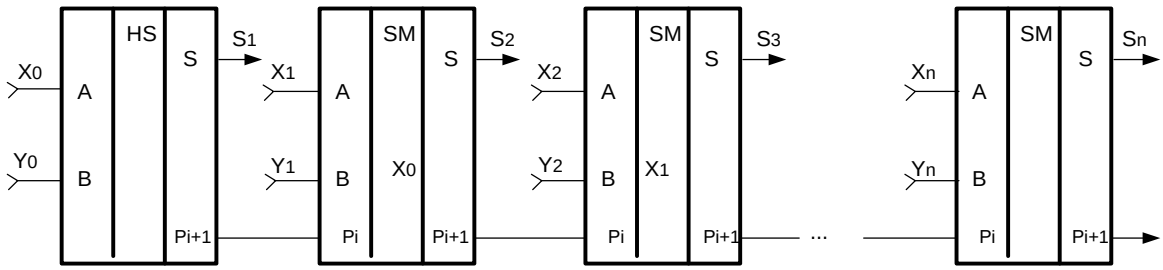


Рис.5. Параллельный многоразрядный сумматор

Длительность формирования результата в таком сумматоре определяется временем установления выходных сигналов (сумма и перенос) в каждом из одноразрядных сумматоров после установления сигнала на его входах. Надо учитывать, что если на входы X_i и Y_i всех разрядов сигналы поступают в момент начала такта, то на вход P_i сигнал переноса поступает с некоторой задержкой, которая определяется длительностью переходных

процессов $t_{зд}$ в сумматоре предыдущего разряда. При наиболее неблагоприятном сложении, т.е. если , например, X = 111…11, а Y = 000…01, произойдет перенос 1 через все сумматоры, т.е. время установления результата будет равно

$T_{уст.рез.} = t_{зд} * (n-1)$.

При большой разрядности чисел $T_{уст.рез.}$ может быть большим, следовательно длительность времени подачи чисел X,Y на входы одноразрядных сумматоров должна быть больше $T_{уст.рез.}$. Для ускорения процесса формирования переноса используют дополнительные комбинационные схемы, позволяющие формировать перенос параллельно во всех разрядах.

Параллельный многоразрядный сумматор с параллельным переносом. Принцип построения таких сумматоров заключается в том, что значение каждого разряда суммы получается в результате параллельного анализа соответствующих разрядов слагаемых.

Параллельные сумматоры с одновременным переносом бывают двух типов:

- сумматоры с формированием переноса в каждый разряд
- сумматоры без явного формирования переноса

Принцип формирования параллельного переноса показан на Рис. 1.6.

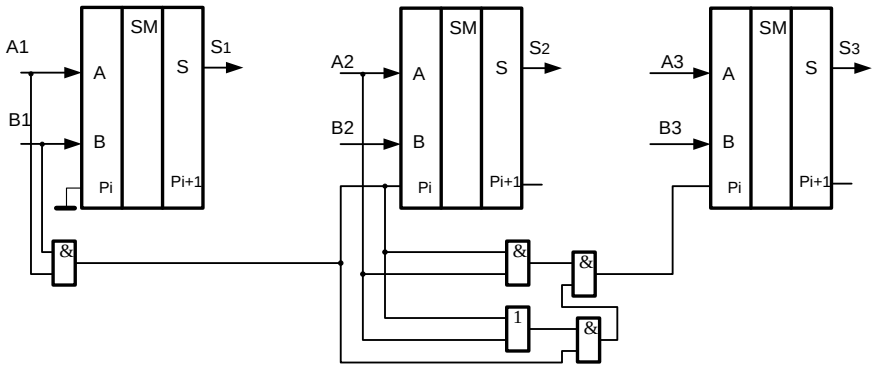


Рис6. Принцип формирования параллельного переноса

Микросхемы многоразрядных сумматоров. На рис. 7 показаны для примера 2-разрядный и 4-разрядный сумматоры.

Микросхема ИМ6 отличается от ИМ3 повышенным быстродействием и номерами используемых выводов микросхемы, функция же выполняется та же самая. Помимо выходных разрядов суммы и выхода переноса, сумматоры имеют вход расширения (другое название - вход переноса) С для объединения нескольких сумматоров с целью увеличения разрядности. Если на этот вход приходит единица, то выходная сумма увеличивается на единицу, если же приходит нуль, то выходная сумма не увеличивается.

Если используется одна микросхема сумматора, то на ее вход расширения С необходимо подать нуль.

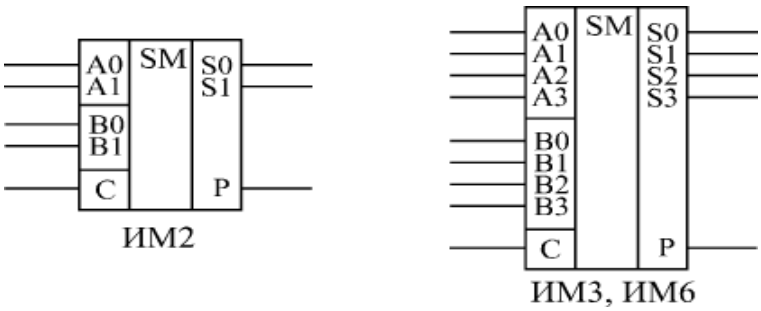


Рис. 7. Примеры микросхем сумматоров

Сумматор может вычислять не только сумму, но и разность входных кодов, то есть работать вычитателем. Для этого вычитаемое число надо просто поразрядно проинвертировать, а на вход переноса С подать единичный сигнал (Рис. 8).

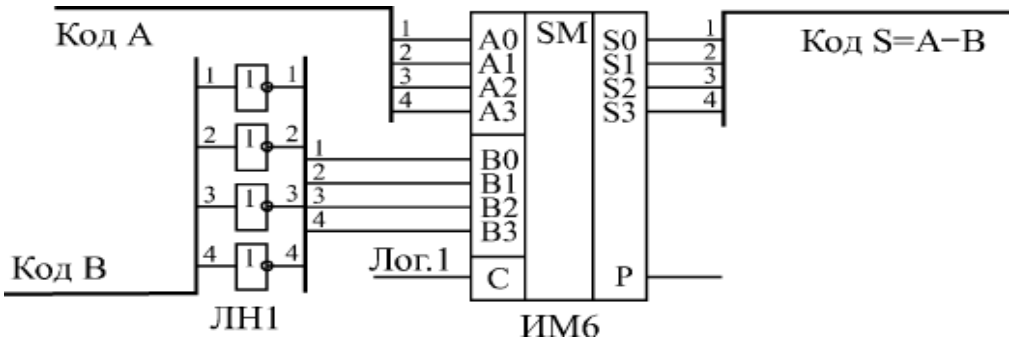


Рис. 8. 4-х разрядный вычитатель на сумматоре ИМ6 и инверторах ЛН1

Например, пусть нам надо вычислить разность между числом 11 (1011) и числом 5 (0101). Инвертируем поразрядно число 5 и получаем 1010, то есть десятичное 10. Сумматор при суммировании 11 и 10 даст 21, то есть двоичное число 10101. Если сигнал С равен 1, то результат будет 10110. Отбрасываем старший разряд (выходной сигнал Р) и получаем разность 0110, то есть 6.

Каскадировать сумматоры для увеличения разрядности очень просто. Надо сигнал с выхода переноса сумматора, обрабатывающего младшие разряды, подать на вход переноса сумматора, обрабатывающего старшие разряды (Рис. 9). При объединении трех 4-разрядных сумматоров получается 12-разрядный сумматор, имеющий дополнительный 13-й разряд (выход переноса Р). Неопределенные состояния на выходах сумматора могут возникать при любом изменении любого из входных кодов (Рис. 10).

Выходной код суммы может принимать в течение короткого времени значения, никак не связанные с входными кодами, а на выходе переноса могут появляться короткие паразитные импульсы. Это связано, прежде всего, с неодновременным изменением разрядов входных кодов.

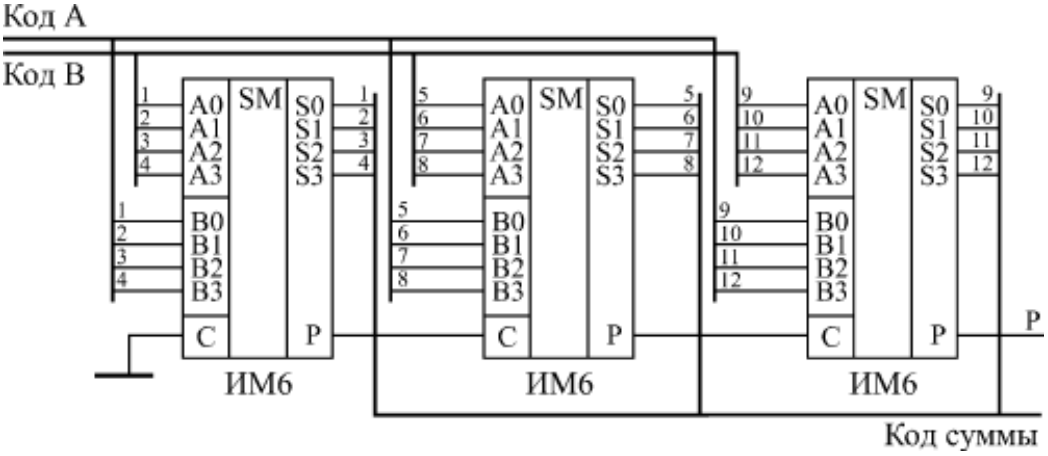


Рис. 9. Каскадирование сумматоров ИМ6 для увеличения разрядности

Чтобы избежать влияния этих неопределенных состояний на дальнейшую схему, необходимо предусматривать синхронизацию или

стробирование выходных сигналов. Для этого надо располагать информацией о моментах изменения входных кодов.

Сумматоры групповой структуры. В сумматорах групповой структуры схема с разрядностью n делится на l групп по m разрядов (n=lm). В группах и между ними возможны различные виды переносов, что порождает множество вариантов групповых сумматоров.

Существуют групповые сумматоры с цепным (последовательным) и параллельным переносами между группами. В самих группах перенос при этом может быть любым. Групповой сумматор с цепным переносом при l группах имеет l-1 блок переноса. Блоки переноса включены последовательно и образуют тракт передачи переноса (Рис.10.). Слагаемые разбиты на m-разрядные поля, суммируемые в группах. Результат также составляется из m-разрядных полей. Блоки переноса $БП_i$, (i=1...) анализируют слагаемые в пределах группы, и если из группы должен быть перенос, то он появляется на выходе блока для подачи на вход следующей группы и в цепочку распространения переноса от младших групп к старшим. Максимальная длительность суммирования для варианта с цепным переносом

$t_{SM} = (l-1)\ t_{БП}+t_{гр}$.

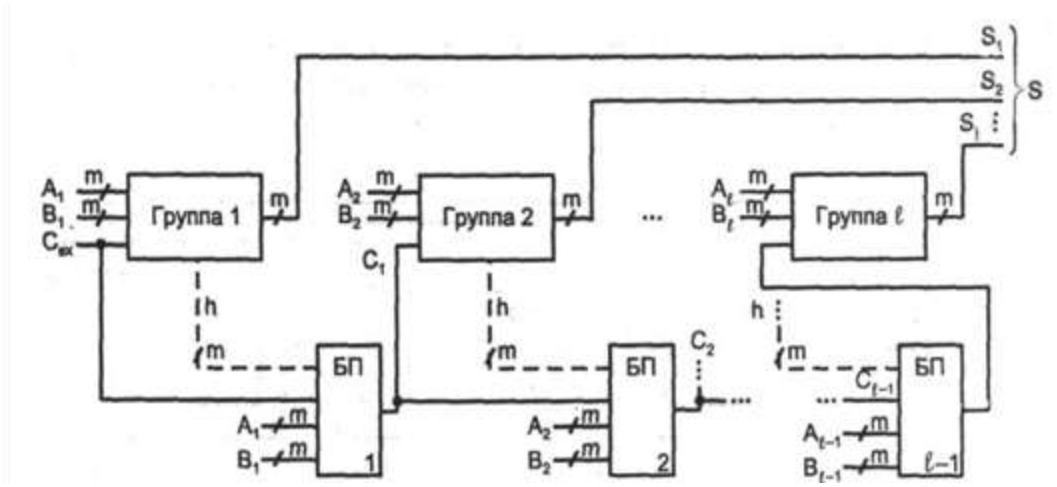


Рис. 10. Групповой сумматор с цепным переносом между группами

Сумматор с параллельными межгрупповыми переносами строится по структуре, сходной со структурой сумматора с параллельным переносом, в которой роль одноразрядных сумматоров играют группы. Структура группового сумматора с параллельными межгрупповыми переносами показана на Рис. 11, где разрядность и число групп приняты равными 4. Время суммирования для такой схемы составляет $T_{SM} = t_h + t_G + t_C + t_{гр}$.

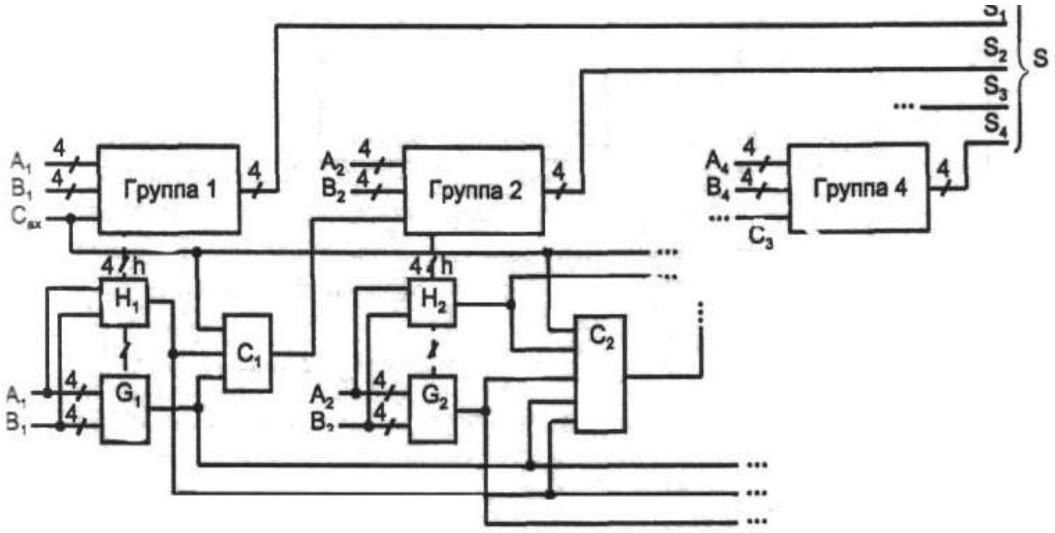


Рис. 11. Групповой сумматор с параллельным переносом между группами

К суммирующим схемам относятся сумматоры и схемы вычитания. Инвертирующий сумматор формирует алгебраическую сумму двух напряжений и меняет ее знак на обратный. В схеме входные сопротивление имеют ту же величину, что и сопротивление обратной связи.

$$U_{\text{вых}} = U_3\left(\frac{R_{oc}}{R_1}\right) + U_4\left(\frac{R_{oc}}{R_2}\right) - U_1\left(\frac{R_{oc}}{R_1}\right) - U_2\left(\frac{R_{oc}}{R_2}\right), \text{если}$$

$$\frac{R_{oc}}{R_1} + \frac{R_{oc}}{R_2} = \frac{R'_{oc}}{R_1} + \frac{R'_{oc}}{R_2}$$

$$\frac{R_{oc}}{R_1} + \frac{R_{oc}}{R_2} + \cdots + \frac{R_{oc}}{R_m} = \frac{R'_{oc}}{R_1} + \frac{R'_{oc}}{R'_1} + \frac{R'_{oc}}{R'_2} + \cdots + \frac{R'_{oc}}{R'_n}$$

$$U_{\text{вых}} = -\left(U_1\frac{R_{oc}}{R_1} + U_2\frac{R_{oc}}{R_2} + \cdots + U_m\frac{R_{oc}}{R_m}\right) + \left[U_{m+1}\frac{R'_{oc}}{R'_1} + U_{m+2}\frac{R'_{oc}}{R'_2} + \cdots + U_{m+n}\frac{R'_{oc}}{R'_n}\right]$$

Пример №1. Пусть в схеме на рис.12. Дано: $U_1 = U_2 = 1B$, $U_3 = U_4 = 2B$,

$R_{oc} = 200\text{кОм}$, $R'_{oc} = 100\text{кОм}$, $R_1 = 100\text{кОм}$, $R_2 = R_3 = 25\text{кОм}$ и $R_4 = 16{,}67\text{кОм}$.

Задание: (а) выполняется ли условие баланса?

(б) Чему равно $U_{\text{вых}}$?

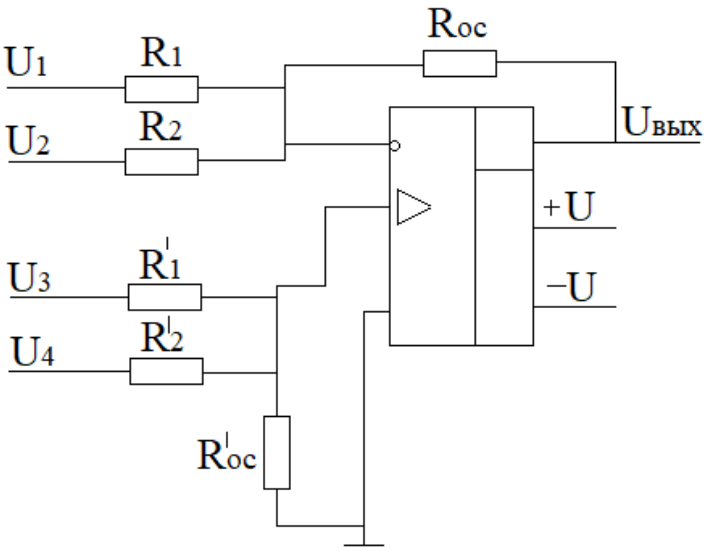


Рис.12

Решение:

(а) проверим баланс : $\frac{R_{oc}}{R_1} + \frac{R_{oc}}{R_2} = \frac{R'_{oc}}{R'_1} + \frac{R'_{oc}}{R'_2}$

$$\frac{200_{\text{кОм}}}{100_{\text{кОм}}} + \frac{200_{\text{кОм}}}{25_{\text{кОм}}} = \frac{100_{\text{кОм}}}{25_{\text{кОм}}} + \frac{100_{\text{кОм}}}{16{,}67_{\text{кОм}}}:$$

2+8=10 : 4+6=10

Таким образом, баланс имеет место.

(б)

$$U_{\text{вых}} = U_3 \frac{R'_{oc}}{R'_1} + U_4 \frac{R'_{oc}}{R'_2} - U_1 \frac{R_{oc}}{R_1} - U_1 \frac{R_{oc}}{R_2}$$

$$U_{\text{вых}} = 2 * \frac{100\text{кОм}}{25\text{кОм}} + 2 * \frac{100\text{кОм}}{16{,}67\text{кОм}} - 1 * \frac{200\text{кОм}}{100\text{кОм}} - 1 * \frac{200\text{кОм}}{25\text{кОм}}$$

$$= 2 * 4 + 2 * 6 - 1 * 2 - 1 * 8 = 10\text{В}$$

Поэтому $U_{\text{вых}} = 10\text{В}$

Задание для самостоятельной работы:

№ варианта	$U_1 = U_2$ В	$U_3 = U_4$ В	R_{oc} кОм	R'_{oc} кОм	R_1 кОм	R_2 кОм	R_3 кОм	R_4 кОм
1	2	3	200	100	100	20	20	15
2	3	5	400	200	200	25	25	23
3	1	3	300	200	200	35	35	23
4	1	2	100	50	50	25	25	13
5	3	4	200	100	100	40	40	25
6	2	3	400	300	300	45	45	23
7	4	5	300	200	200	30	30	14
8	2	3	500	400	400	15	15	12
9	1	2	500	400	400	20	20	12
10	2	3	300	100	100	30	30	14
11	3	4	200	100	100	50	50	34
12	4	5	300	200	200	35	35	16
13	3	4	500	300	300	45	45	34
14	2	3	500	400	400	35	35	16
15	1	2	300	100	100	25	25	12
16	2	3	200	100	100	15	15	12
17	3	4	300	200	200	45	45	34
18	2	3	400	300	300	50	50	26
19	2	4	300	200	200	35	35	23
20	3	4	200	100	100	40	40	29

Пример №2. Дано: Построить схему сложения - вычитания так, чтобы напряжение на ее выходе было равно: $U_{\text{вых}} = -4U_1 - 2U_2 + 10U_3 + U_4$

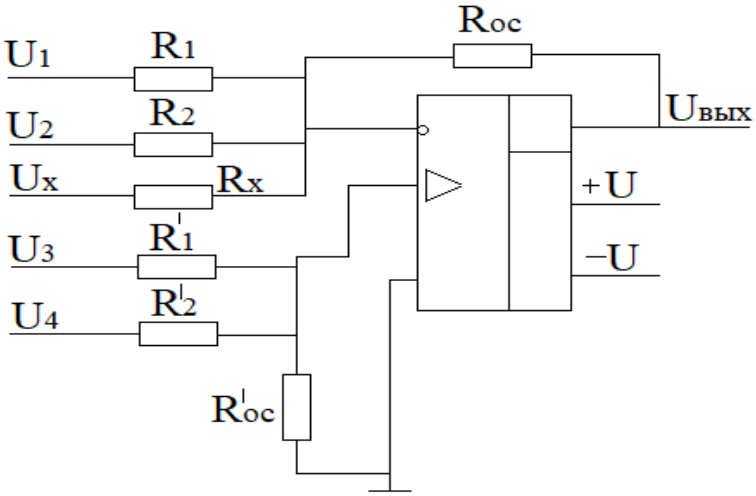


Рис.13

Решение: Целесообразно положить $R_{oc} = R'_{oc}$ поэтому выберем

$R_{oc} = R'_{oc} = 100$кОм. Для нахождения $R_1, R_2,\ R'_1$ и R'_2 можно использовать

Соотношение в форме, приведенной на рис 13. так как данная схема имеет всего четыре входа.

Коэффициент при U_1 равен $\frac{R_{oc}}{R_1}$ =4, по этому

$$R_1 = \frac{R_{oc}}{4} = \frac{100\text{кОм}}{4} = 25\text{кОм}$$

Аналогично,

$$\frac{R_{oc}}{R_2} = 2;\ R_2 = \frac{100\text{кОм}}{2} = 50\text{кОм};\ R'_1 = \frac{R'_{oc}}{10} = 10\text{кОм}$$

$$R'_1 = \frac{R'_{oc}}{10} = 10\text{кОм}$$

Проверяя наличие баланса видим, что

$$\frac{R_{oc}}{R_1} + \frac{R_{oc}}{R_2} = 4 + 2 = 6$$

и

$$\frac{R'_{oc}}{R'_1} + \frac{R'_{oc}}{R'_2} = 10 + 1 = 11,$$

сумма неинвертирующих коэффициентов усиления на пять больше суммы инвертирующих коэффициентов.

Если изменить схему таким образом , чтобы напряжение на ее выходе стало равным

$$U_{\text{вых}} = -(4U_1 + 2U_2 + 5U_{\text{х}}) + (10U_3 + U_4)$$

И задать $U_{\text{х}} = 0$, то полученное выходное напряжение окажется равным желаемому. Нам остается подключить к инвертирующему входу, как показано на рис. 13., такое сопротивление R_x чтобы отношение $\frac{R_{oc}}{R_x}$

Было равно 5, и тогда баланс схемы будет обеспечен. Величина R_x равна

$$\frac{R'_{oc}}{5} = 20\text{кОм}$$

Задание для самостоятельной работы:

№ варианта	$R_{oc} = R'_{oc}$	№ варианта	$R_{oc} = R'_{oc}$
1	300	11	400
2	200	12	300
3	300	13	500
4	500	14	600
5	300	15	200
6	400	16	300
7	200	17	500
8	600	18	400
9	200	19	300
10	300	20	200

Индивидуальные задания

Задание 1. Нарисуйте схему вычитателя чисел на 16 разрядов на базе микросхемы ИМ2.

Задание 2. Нарисуйте схему сумматора двух чисел на 16 разрядов на базе микросхемы ИМ6.

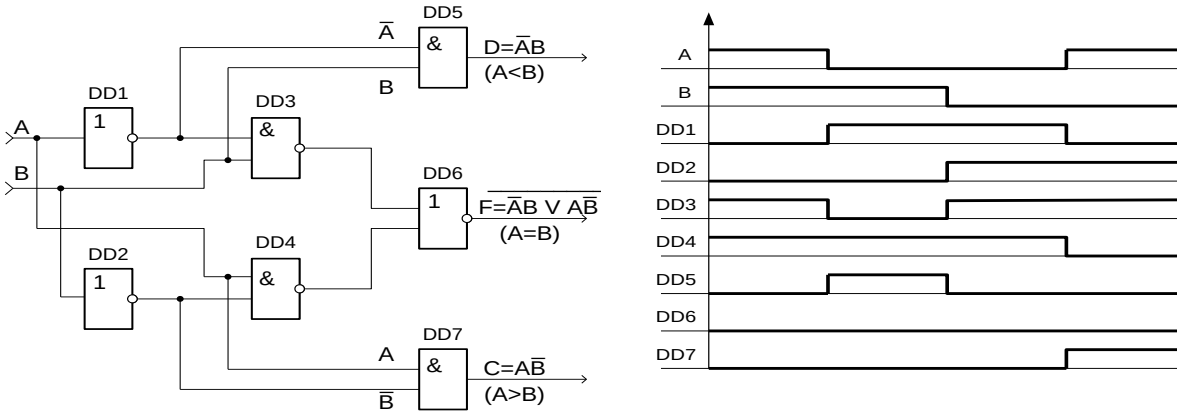
Контрольные вопросы

1. Что такое сумматор.
2. Как классифицируются сумматоры в зависимости от системы счисления?
3. Как классифицируются сумматоры по количеству одновременно обрабатываемых разрядов складываемых чисел?
4. Как классифицируются сумматоры по числу входов и выходов одноразрядных двоичных сумматоров?
5. Как классифицируются сумматоры по способу организации переносов?
6. Назовите параметры сумматоров.
7. Какой сумматор называется четвертьсумматором? Поясните его работу с помощи таблицы истинности и схемы.

8. Какой сумматор называется полусумматором? Поясните его работу с помощи таблицы истинности и схемы.
9. Какой сумматор называется полным сумматором? Поясните его работу с помощи таблицы истинности и схемы.
10. Нарисуйте условные обозначения полусумматора и полного сумматора.
11. Поясните работу последовательного сумматора.
12. Поясните работу параллельного сумматора.

4. Схема строения и принцип работы компоратора

Общие сведения. Цифровые компараторы относятся к арифметическим устройствам. Цифровые компараторы (от англ, compare — сравнивать, сличать) выполняют сравнение двух чисел, заданных в двоичном (двоично-десятичном) коде. В зависимости от схемного исполнения компараторы могут определять равенство A=B (A и B - независимые числа с равным количеством разрядов) либо вид неравенства: A<B или A>B. Результат сравнения отображается соответствующим логическим уровнем на выходе. Микросхемы - цифровые компараторы - выполняют, как правило, все эти операции и имеют три выхода (>,<,=). Цифровые компараторы широко применяются для выявления нужного числа (слова) в потоке цифровой информации, для отметки времени в часовых приборах, для выполнения условных переходов в вычислительных устройствах.Одноразрядный компаратор. **Логическая схема, выполняющая операцию «эквивалентность» F=AB$\vee\overline{A}\overline{B}$, или, что то же самое, «исключающее ИЛИ—НЕ», может быть использована как одноразрядный компаратор. Поскольку в практических условиях исключающее ИЛИ применяется чаще, чем эквивалентность, последующее описание будет идти применительно к этой операции. Схема одноразрядного компаратора и диаграмма его работы показаны на рис. 14.**



(а) *(б)*

Рис.14. Схема одноразрядного компаратора (а), диаграмма его работы (б)

Она представляет собой развернутую логическую структуру логического элемента «исключающее ИЛИ- НЕ» с тремя выходами. Из определения операции «исключающее ИЛИ» вытекает, что

$$\overline{F} = \overline{A \cdot \overline{B} \vee \overline{A}B} = \begin{Bmatrix} 1..при..A = B \\ 0..при..A \neq B \end{Bmatrix}$$

При A>B (это означает, что A = 1, B = 0) - C =AB =1.

При A<B (это означает, что A=0, B=1) - D= $\overline{AB}$ = 1.

Логические элементы И с выходами C и D приведены для наглядности. В принципе сигналы C и D можно снимать с выходов внутренних схем И логического элемента И-ИЛИ-НЕ.

Компаратор на равенство одноразрядных чисел можно выполнить на ЛЭ "исключающее ИЛИ" и инверторе (Рис.2.2.).

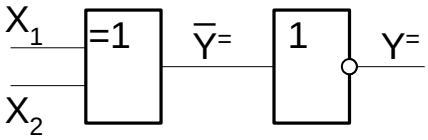


Рис. 15. Одноразрядный компаратор на ЛЭ «исключающий ИЛИ» и инверторе

Многоразрядный компаратор. Многоразрядные компараторы обычно выполняют на базе одноразрядных с подключением дополнительных ЛЭ И и ИЛИ (для блокировки одноразрядных компараторов и объединения сигналов).

При этом используется принцип последовательного сравнения разрядов многоразрядных чисел, начиная с их старших разрядов, так как уже на этом этапе, если $X_{1m} \neq X_{2m}$, задача может быть решена однозначно, и сравнение следующих за старшими разрядов не потребуется.

На практике широко применяются "неполные" компараторы в которых реализуется одна или две операции на сравнение кодов (Y=, Y> , Y=и Y> и др.). Для выполнения этих операций можно использовать отдельные фрагменты из схем на Рис.16, или построить специальные схемы, которые в ряде случаев могут быть упрощены.

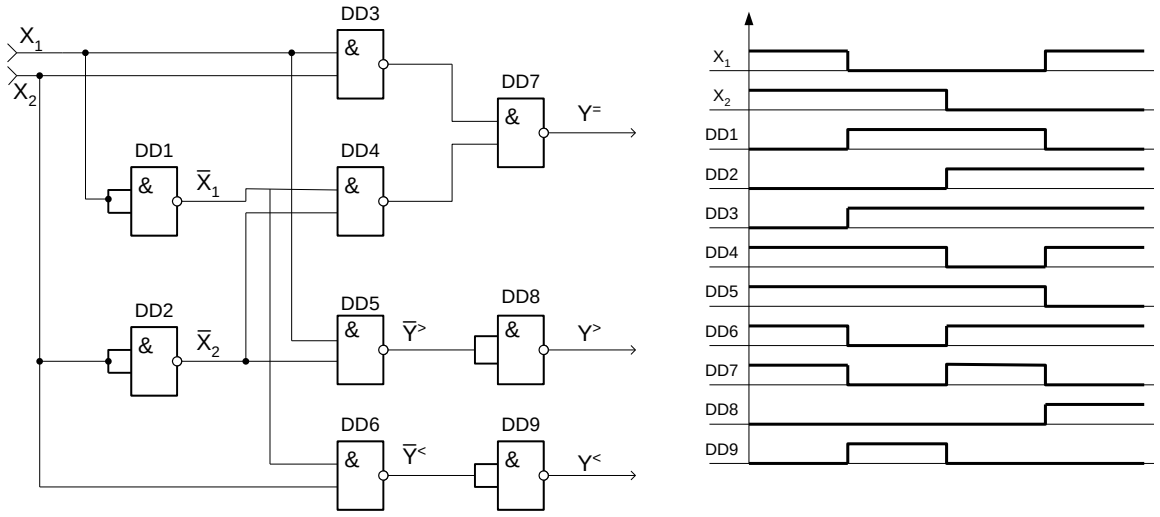


Рис.16. Схема компаратора на ЛЭ 2И-НЕ (а), диаграмма его работы (б)

На схемах компараторы кодов обозначаются двумя символами равенства: "= =".

Код типа микросхемы компаратора кода в отечественных сериях — СП.

Примером такой микросхемы может служить СП1 - 4-х разрядный компаратор кодов, сравнивающий величины кодов и выдающий информацию о том, какой код больше, или о равенстве кодов (рис.17).

Помимо восьми входов для сравниваемых кодов (два 4-х разрядных кода, обозначаемых A0...A3 и B0...B3), компаратор СП1 имеет три управляющих входа для наращивания разрядности (A>B, A<B, A=B) и три выхода результирующих сигналов (A>B, A<B, A=B).

Для удобства на схемах управляющие входы и выходы иногда обозначают просто ">", "<" и "=".

Нулевые разряды кодов (A0 и B0) -младшие, третьи разряды (A3 и B3) - старшие.

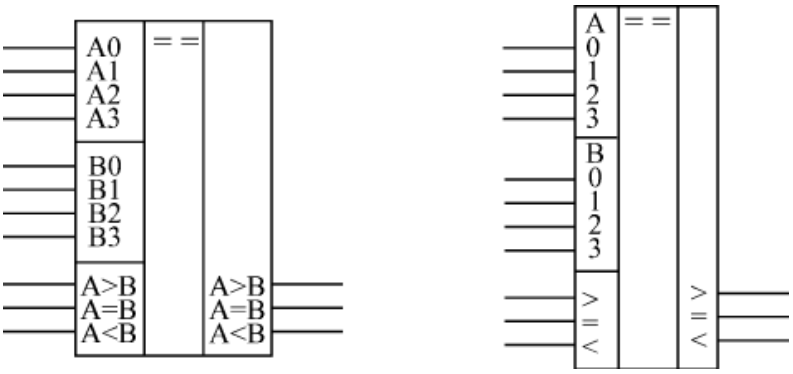


Рис. 17. 4-х разрядный компаратор кодов СП1 (два варианта обозначения)

Если микросхемы компараторов кодов каскадируются (объединяются) для увеличения числа разрядов сравниваемых кодов, то надо выходные сигналы микросхемы, обрабатывающей младшие разряды кода, подать на одноименные входы микросхемы, обрабатывающей старшие разряды кода (рис. 18).

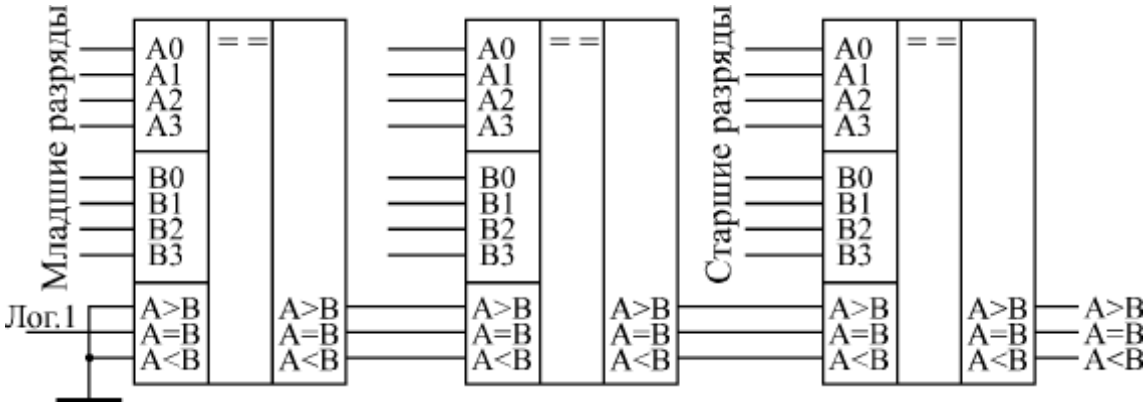


Рис. 18. Каскадирование компараторов кодов

дно из основных применений компараторов кодов состоит в селектировании входных кодов.

На рис. 19 показано применение компараторов SN74ALS521 для селектирования 16-разрядных кодов. Инверсный сигнал с выхода первой микросхемы подается на инверсный вход разрешения второй микросхемы, выходной сигнал которой (отрицательный) говорит о совпадении входного и эталонного 16-разрядных кодов.

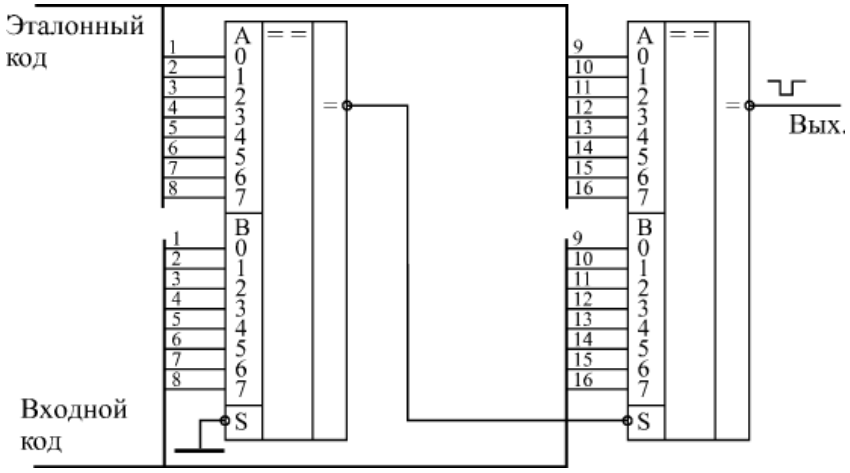


Рис19. Селектирование 16-разрядных кодов

Пример №1. Пороговое устройство, изменяющее своё состояние в зависимости от уровней сигналов на его входах называется компаратором. Компаратор осуществляет переключение уровня выходного напряжения. Когда непрерывно изменяющийся во времени сигнал становится ниже или выше определённого уровня. Применим схему триггера Шмитда. В данном схеме напряжение включения выбрано -0,2В, а напряжение включения +0,2В.Это связано с тем, что падение напряжения на диоде, включенном параллельно конденсатору в прямом направлении составляет +0.6В, а уровень напряжения переключения должен находится около 0В, но не ноль. Для этого устройства используем микросхему КР140УД8, имеющую выход согласованный с ТТЛ логикой.

Определяем величины сопротивлений R1 и R2:

$$U_{выкл} = -\frac{R1}{R2} = U_{вых\max}; U_{вкл} = -\frac{R1}{R2} U_{выхьшт}$$

Пусть сопротивление R2=15 кОм, тогда из формулы находим:

$$R1 = -\frac{R2 \cdot U_{выкл}}{U_{вых\max}} = -\frac{-0{,}2 \cdot 15000}{5} = 600 Ом$$

Аналогичная величина получается, если находить по напряжению включения:

$$R1 = -\frac{R2 \cdot U_{вклл}}{U_{вых\min}} = -\frac{0{,}2 \cdot 15000}{-5} = 600 Ом$$

По ГОСТ выбираем 620 Ом.

Для устойчивой работы триггера необходимо выполнить условие:

$$\frac{R1}{R2} \le 0{,}9; \frac{600}{15000} = 0{,}04 \le 0{,}9$$

Условие выполняется.

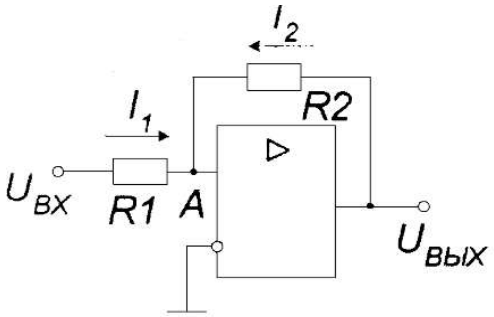


Рис..20 Схема компаратора.

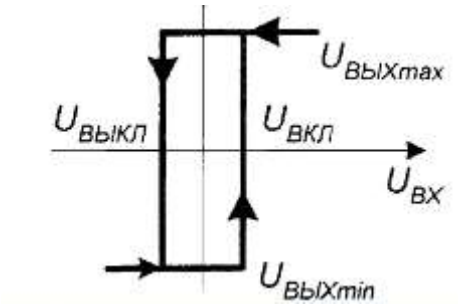


Рис.21 Временная работа компаратора.

Задание для самостоятельной работы 1:

№ варианта	$U_{вкл} = U_{выкл}$ В	R2 кОм	№ варианта	$U_{вкл} = U_{выкл}$ В	R2 кОм
1	2	35	11	0,4	20
2	1	25	12	0,2	25
3	3	50	13	2	15
4	0,2	45	14	1	26
5	0,4	40	15	0,5	35
6	1	30	16	3	50
7	0,5	20	17	0,1	35
8	3	15	18	0,3	14
9	0,3	25	19	2	19
10	1	15	20	1	35

Пример №2. Интегратор - это устройство представляющее собой операционный усилитель, обратная положительная связь которого образована элементом с интегро-дифференциальной связью между током и напряжением. Таким элементом в данном случае является ёмкость. ОУ включен как генератор стабильного тока в цепь заряда конденсатора. В результате этого заря конденсатора происходит не по экспоненциальной, а по линейной функции зависимости напряжения от времени. Схема действует как накопитель в котором суммируется входной сигнал за заданный отрезок времени. Из условий задания определяем:

$$M = \frac{U_{BX}\,2^n}{U_{ОП}} = \frac{5 \cdot 2^8}{15} = 85{,}333$$

$$t = \frac{M}{f_t} = \frac{85{,}333}{50000} = 1{,}707\ \mu s$$

$$T = \frac{2^n}{f_t} = \frac{256}{50000} = 5{,}12\ \mu s$$

$$U_{ВЫХ} = -\frac{U_{ВХ}}{RC} T$$

R=47 кОм и в начале в течении 1,707 mS интегрируется входное напряжение +5В,а также напряжение на выходе спадает до -Е=-15В, то

$$C = -\frac{U_{ВХ}}{U_{ВЫХ} R} T = -\frac{5}{47000 \cdot 15} \times 5{,}12 \cdot 10^{-3} = 36\ нФ$$

По ГОСТ выбираем 36 нФ.

Аналогично для второго интервала эта же ёмкость будет иметь такое же значение. И выполняется равенство

$$\frac{U_{ВХ}}{RC} T = \frac{U_{ВХ}}{RC} t; \quad \frac{5 \cdot 5{,}12 \cdot 10^{-3}}{47000 \cdot 36 \cdot 10^{-9}} = \frac{1{,}707 \cdot 10^{3-}}{47000 \cdot 36 \cdot 10^{-9}} = 15$$

Ток заряда конденсатора при этом составляет

$$I = \frac{U}{R_t} = \frac{15}{47000} = 319\ \mu A$$

Параллельно конденсатору включён диод типа Д220 для того, чтобы интегрирование входного напряжения начиналось с +0,6В.

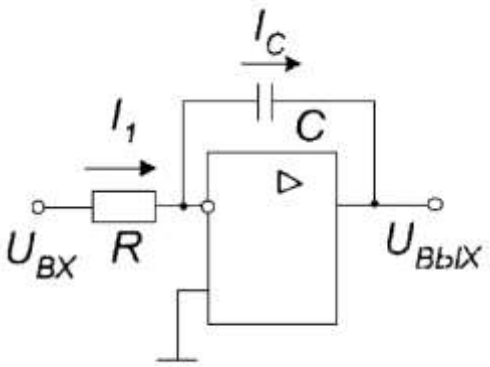


Рис.22. Схема интегратора

Задание для самостоятельной работы 2:

№ варианта	$U_{вх}$ (В)	$U_{вых}$ (В)	R (кОм)
1	9	12	15
2	1,5	3	23
3	3	5	16
4	5	9	34
5	12	24	45
6	24	36	34
7	9	12	20
8	1,5	3	15
9	3	5	23
10	5	9	56
11	12	24	37
12	24	36	57
13	9	12	23
14	9	12	17
15	1,5	3	34
16	3	5	56
17	5	9	23
18	12	24	46
19	24	36	45
20	9	12	25

Индивидуальные задания

Задание 1. Используя микросхему СП1 нарисуйте схему определения максимального из двух 16-ти разрядных чисел.

Контрольные вопросы

1. Что такое компаратор?
2. Объясните работу схемы одноразрядного компаратора изображенного на рис.14.

5. Элементы хранения - триггеры, асинхрон и синхрон RS-триггеры. D-триггер, T-триггер и универсальный JK-триггер

Общие сведения. Триггером называется устройство, имеющие два устойчивых состояния («0» или «1») и способные под действием входного сигнала скачком переходить из одного устойчивого состояния в другое.

Триггер – это простейший автомат с памятью и способностью хранить 1 бит информации («0» или «1»).

Если выходные сигналы логических элементов (ЛЭ) однозначно определяются их текущими входными сигналами, то выходные сигналы микросхем с внутренней памятью зависят также еще и от того, какие входные сигналы и в какой последовательности поступали на них в прошлом, то есть они помнят предысторию поведения схемы. Микросхемы с внутренней памятью называются еще последовательными. Триггеры имеют два выхода: прямой (Q) и инверсный (–Q) (Рис.23.). Если триггер имеет состояние «1», то его выход Q равен «1», а выход –Q равен «0». Если триггер имеет состояние «0», то его выход Q равен «0», а выход -Q равен «1». Число входов зависит от структуры и функций, выполняемых триггером. В основе любого триггера находится регенеративное кольцо из двух инверторов (Рис.24.).

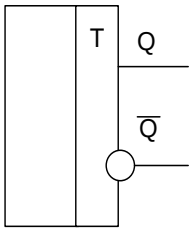


Рис.23. Выходы триггера

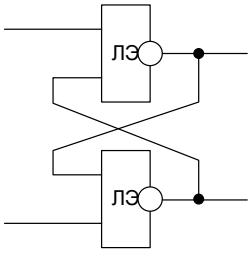


Рис.24. Регенеративное кольцо внутри триггера

По способу записи информации триггеры делятся на асинхронные и синхронные. У асинхронных триггеров запись информации происходит под действием информационных сигналов. Такие триггеры имеют только информационные входы (Рис.25.). У синхронных триггеров запись

информации происходит под действием разрешающих сигналов синхронизации (Рис.26.).

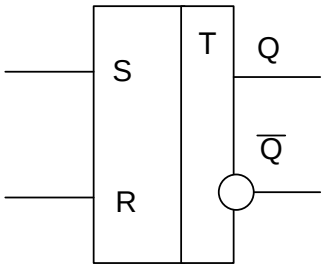


Рис.25. Асинхронный триггер

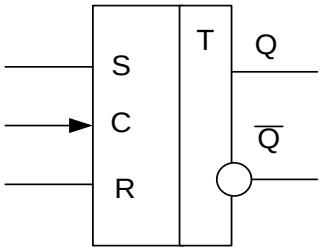


Рис.26. Синхронный динамический триггер

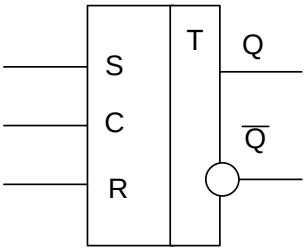


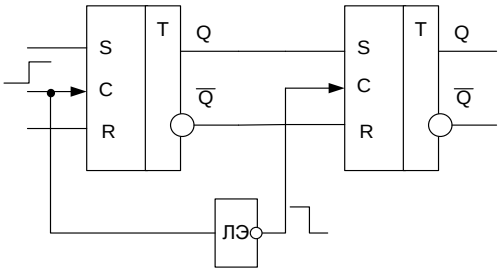
Рис.27. Синхронный статический триггер

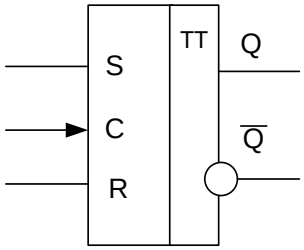
Синхронные триггеры бывают со статическим, динамическим управлением записи и двухступенчатые.

Синхронные триггеры со статическим управлением записью принимают информационные сигналы все время пока действует импульс синхронизации (Рис.27). Следовательно, переключение триггера за время действия импульса синхронизации может быть многократным. У таких триггеров вход С – статический.

Синхронные триггеры с динамическим управлением записью принимают только информационные сигналы, которые были на информационных входах к моменту прихода синхроимпульса. У таких триггеров вход С – динамический.

Синхронные двухступенчатые триггеры стоят из двух ступеней (рис.28). Запись информации в первую ступень происходит с появлением синхроимпульса, А во вторую ступень – после окончания синхроимпульса. Следовательно, двухступенчатые триггеры задерживают выходную информацию на время, равное длительности синхроимпульса. Такие триггеры еще называют триггеры с внутренней задержкой.





а) Структура двухступенчатого триггера

б) Условное обозначение двухступенчатого триггера

Рис.28. Синхронный двухступенчатый триггер

Приняты следующие обозначения входов триггеров:

S – раздельный вход установки триггера в единичное состояние по прямому выходу Q;

R – раздельный вход сброса триггера в нулевое состояние по прямому выходу Q;

D – информационный вход. На него подается информация, предназначенная для записи в триггер;

C – вход синхронизации. На Рис.29. приведены условные обозначения входа синхронизации;

T – счетный вход.

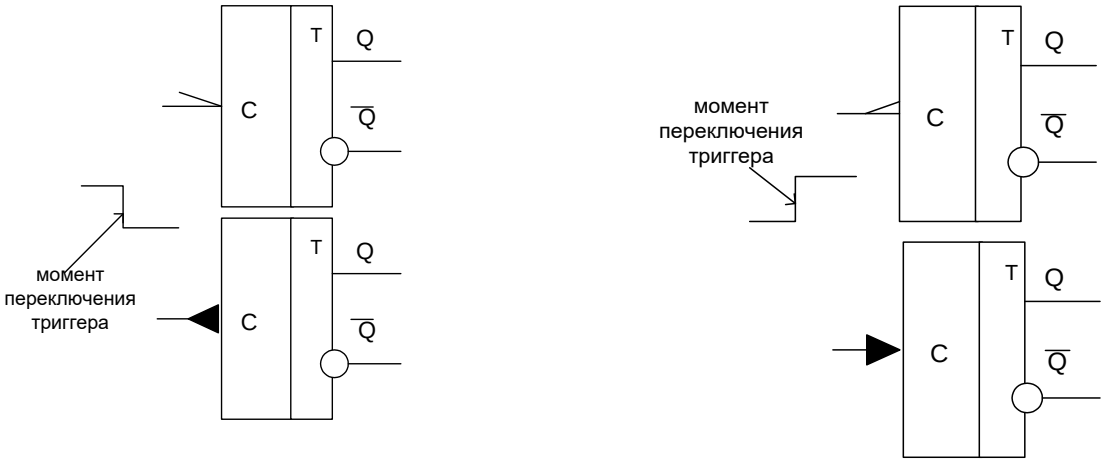


Рис.29. Условные обозначения входа синхронизации

Параметры триггера. Для всех триггеров характерны следующие параметры:

$К_{раз}$ - коэффициент разветвления, который показывает нагрузочную способность триггера, т.е. обозначает количество элементов, которые параллельно подсоединены к выходу триггера и на которые подается выходной сигнал триггера.

$К_{об}$ - коэффициент объединения по входу, который обозначает максимальное число входных сигналов которые можно подать на вход триггера.

$t_и$ - наименьшая длительность входного сигнала (импульса), при котором еще происходит надежное переключение триггера.

$t_{зд}$ – время задержек между моментом подачи входного и появлением выходного сигнала.

$t_р$ – время разрешения, которое характеризует наименьший интервал между моментами подачи двух входных сигналов с длительностью $t_и$, вызывающих переключение триггера.

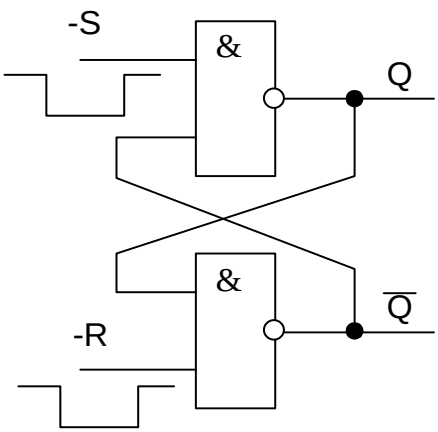
Принцип работы асинхронного триггера. В основе любого триггера лежит схема из двух логических элементов, которые охвачены положительными обратными связями (то есть сигналы с выходов подаются на входы). В результате подобного включения схема может находиться в одном из двух устойчивых состояний, причем находиться сколь угодно долго, пока на нее подано напряжение питания. Пример такой схемы (так называемой триггерной ячейки) на двух двухвходовых элементах И-НЕ представлен на Рис. 30. У схемы есть два инверсных входа:

–R - сброс (от английского Reset),

–S - установка (от английского Set).

Схема имеет два выхода: прямой выход Q и инверсный выход –Q.

Согласно определению триггер может находиться в конкретный момент времени в одном из состояний «0» или «1». Следовательно для правильной работы схемы отрицательные импульсы не должны поступать на ее входы (–S и – R) одновременно.



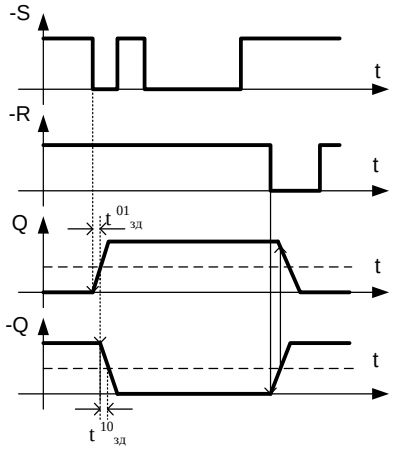


Рис.30. Схема триггерной ячейки

Рис.31. Диаграмма работы триггерной ячейки

Т.е. если на вход –S подается отрицательный импульс (триггер устанавливается в состояние «1» по прямому выходу Q), то в этот момент времени на вход –R должен подаваться положительный импульс.

Диаграмма работы триггерной ячейки представлена на рис.31.

В начальный момент времени на входы –S и –R действуют сигналы «1», триггерная ячейка находится в состоянии «0» (выход Q = 0, выход -Q=1). В момент, когда на вход –S действует активный сигнал нуля, выход Q триггера перебрасывается в состояние «1» с задержкой на время $t^{01}_{зд}$ (задержка переключения верхнего элемента), по обратной связи сигнал Q поступает на вход нижнего ЛЭ и вызывает переключение выхода триггера -Q в состояние «0» с задержкой $t^{10}_{зд}$ (задержка переключения нижнего элемента).

После окончания импульса на входе - S состояние схемы не изменяется (на Q остается единица, на –Q остается ноль). Если триггер стоит в «1» и на вход – S поступит «0» (на входе –R единица), то триггер останется в состоянии «1».

Точно так же при приходе импульса на вход -R выход -Q устанавливается в единицу, а выход Q — в нуль.

Оба эти устойчивых состояния триггерной ячейки могут сохраняться сколь угодно долго, пока не придет очередной входной импульс.

Следовательно сигналы на выходах триггера установятся спустя время $t_{зд\ тр} = t^{01}_{зд} + t^{10}_{зд}$. Из временной диаграммы следует, что длительность входных сигналов должна удовлетворять условию $t_{с\ вх} > t_{зд\ тр}$. Работу данной триггерной ячейки можно описать таблицей истинности (таблица 1), где

t - момент времени действия входных сигналов S и R;

t +1 - момент времени наступающий, когда сигналы на входе схемы под воздействием входных сигналов принимаю значения, соответствующие последующему состоянию Q;

Q^t - внутренний сигнал обратной связи (состояние триггера до действия входных сигналов в момент времени t +1).

Таблица 1

$-S^t$	$-R^t$	Q^t	Q^{t+1}	Примечание
0	0	0	-	Запрещенная комбинация
0	1	0	1	Установка в состояние «1» (триггер стоял в состояние «0», устанавливается в состояние «1» по активному входу – S)
1	0	0	0	Установка в состояние «0» (триггер стоял в состояние «0» и устанавливается в состояние «0» по активному входу – R)
1	1	0	0	Хранение «0» (сигналы на входах неактивны)
0	0	1		Запрещенная комбинация
0	1	1		Установка в состояние «1» (триггер стоял в состояние «1» и устанавливается в состояние «1» по активному входу – S)
1	0	1		Установка в состояние «0» (триггер стоял в состояние «0» и устанавливается в состояние «0» по активному входу – R)
1	1	1		Хранение «1»

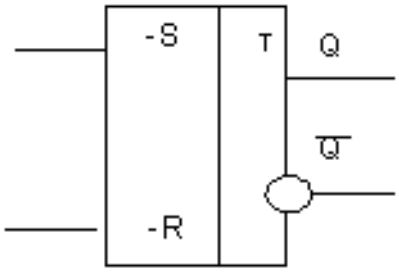
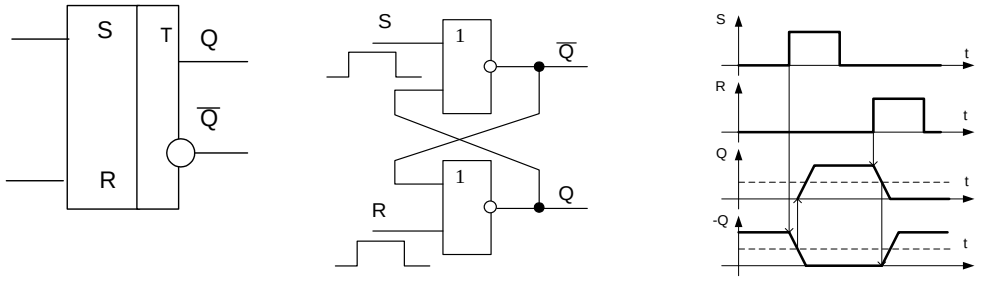


Рис. 32. Условное обозначение триггера R-S

Если оба входных импульса («0») придут одновременно, то в момент действия этих импульсов на обоих выходах будут единичные сигналы - триггерная ячейка находится одновременно в состоянии «0» и «1», что недопустимо. После окончания входных импульсов выходы случайным образом попадут в одно из двух устойчивых состояний, что не позволит гарантировать корректную работу цифрового устройства.

Случайным образом будет выбрано одно из двух устойчивых состояний триггерной ячейки при включении питания. Триггер, представленный на Рис.4.9. называется -R-S (неRneS) триггером, условное обозначение которого приведено на рис. 32. Длительность сигналов -R и -S не должна быть слишком малой, иначе триггер может на них не среагировать. Сигнал –R должен начинаться с определенной задержкой после окончания сигнала –S, и наоборот. В первом приближении можно считать, что минимально допустимые временные интервалы между входными сигналами должны равняться 1–2 задержкам логического элемента соответствующей серии.

Асинхронный RS триггер. Условное обозначение асинхронного RS триггера (а), его схема (б) и диаграмма работы (в) представлены на рис.33. Из схемы и диаграммы работы RS триггера видно, что активным сигналом вызывающим переключение триггера, например, из состояния «1» в состояние «0» является сигнал «1». Т.о. запрещенной комбинацией будет являться комбинация входных сигналов R=S=1.



а) *(б)* *(в)*

Рис.33 Условное обозначение асинхронного RS триггера (а), его схема (б), диаграмма работы (в)

Работу асинхронного RS триггера можно описать таблицей истинности (таблица 4.2).

Таблица 2.

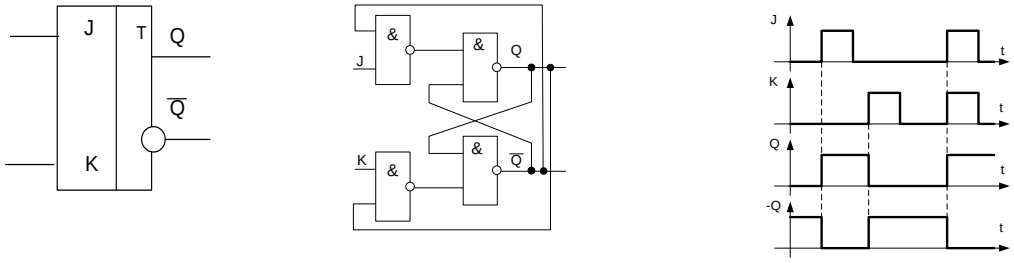
S^t	R^t	Q^t	Q^{t+1}	Примечание
0	0	0	0	Хранение «0» (сигналы на входах неактивны)
0	1	0	0	Установка в состояние «0» (триггер стоял в состояние «0», устанавливается в состояние «0» по активному входу R=1)
1	0	0	1	Установка в состояние «1» (триггер стоял в состояние «0», устанавливается в состояние «1» по активному входу S=1)
1	1	0	-	Запрещенная комбинация
0	0	1	1	Хранение «1» (сигналы на входах неактивны)
0	1	1	0	Установка в состояние «0» (триггер стоял в состояние «1», устанавливается в состояние «0» по активному входу R=1)
1	0	1	1	Установка в состояние «1» (триггер стоял в состояние «1», устанавливается в состояние «1» по активному входу S=1)
1	1	1	-	Запрещенная комбинация

Асинхронный JK триггер. Условное обозначение асинхронного JK триггера (а), его схема (б) и диаграмма работы (в) представлены на Рис.34.

Особенностью JK триггера является то, что он не имеет запрещенных комбинаций. Если на входы J и K действует активный сигнал («1»), то триггер изменяет свое состояние на противоположное тому, в котором он находился до действия сигналов, иначе говоря работает в счетном режиме.

Вход J триггера (аналогично входу S) является входом установки триггера в единичное состояние по прямому выходу Q.

Вход S триггера (аналогично входу R) является входом установки триггера в нулевое состояние по прямому выходу Q.



а) *(б)* *(в)*

Рис.34. Условное обозначение асинхронного JK триггера (а), его схема (б) и диаграмма работы (в)

Работа асинхронного JK триггера можно описать таблицей истинности (таблица 3).

Таблица 3.

J	K	Q^t	Q^{t+1}	Примечание
0	0	0	0	Хранение «0» (сигналы на входах неактивны)
0	1	0	0	Установка в состояние «0» (триггер стоял в состояние «0», устанавливается в состояние «0» по активному входу K=1)
1	0	0	1	Установка в состояние «1» (триггер стоял в состояние «0», устанавливается в состояние «1» по активному входу J =1)

1	1	0	1	Счетный режим, триггер переходит из сотояния «0» в состояние «1»
0	0	1	1	Хранение «1» (сигналы на входах неактивны)
0	1	1	0	Установка в состояние «0» (триггер стоял в состояние «1», устанавливается в состояние «0» по активному входу К=1)
1	0	1	1	Установка в состояние «1» (триггер стоял в состояние «1», устанавливается в состояние «1» по активному входу J =1)
1	1	1	0	Счетный режим, триггер переходит из сотояния «1» в состояние «0»

Асинхронный Т триггер. Асинхронный Т триггер имеет только один счетный вход Т. Условное обозначение асинхронного Т триггера (а), его схема (б), диаграмма работы (в). Работу асинхронного Т триггера можно описать таблицей истинности 3. Особенностью данного триггера является то, что с приходом каждого активного сигнала, триггер меняет свое состояние на противоположное тому, в котором триггер находится. Это обеспечивается обратными связями.

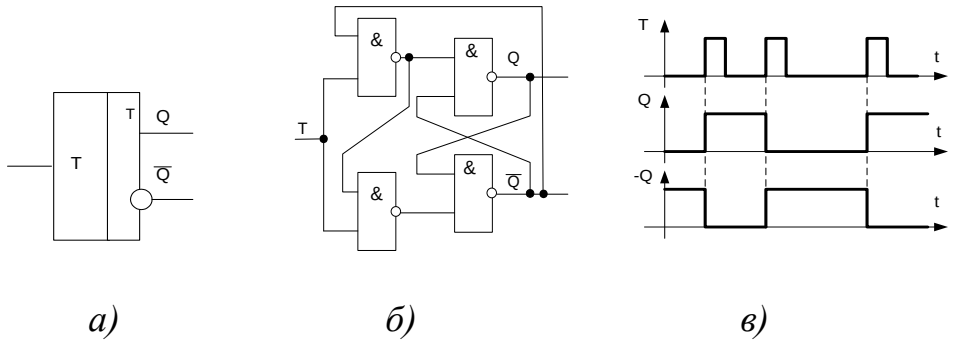
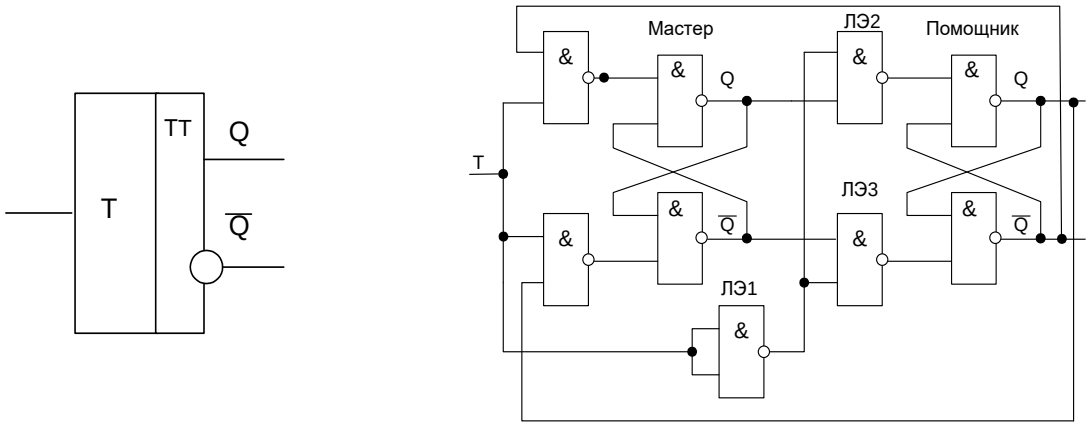


Рис.35. Условное обозначение асинхронного Т триггера (а), его схема (б) и диаграмма работы (в)

Таблица 4

T^t	Q^{t+1}
0	Q^t
1	$-Q^t$

На Рис.36. представлена схема (а) и условное обозначение (в) двухтактного (двухступенчатого или иначе их еще называют триггер «мастер-помощник) Т триггера.



а) *б)*

Рис.36. Условное обозначение асинхронного Т триггера «мастер-помощник»(а), его схема (б)

Как видно из схемы триггера «мастер-помощник» Т (рис.36 в) он имеет в своем составе два регенеративных кольца (триггер «мастер» и триггер «помощник»).

Сигнал поступающий на вход Т триггера «мастер» вызывает его переключение в противоположное состояние.

Этот же сигнал инвертируется на ЛЭ1 и поступает на управляющие логические элементы триггера «помощник» (ЛЭ2 и ЛЭ3). Т.е., когда сигнал Т равен высокому уровню («1»), на выходе ЛЭ1 образуется уровень логического

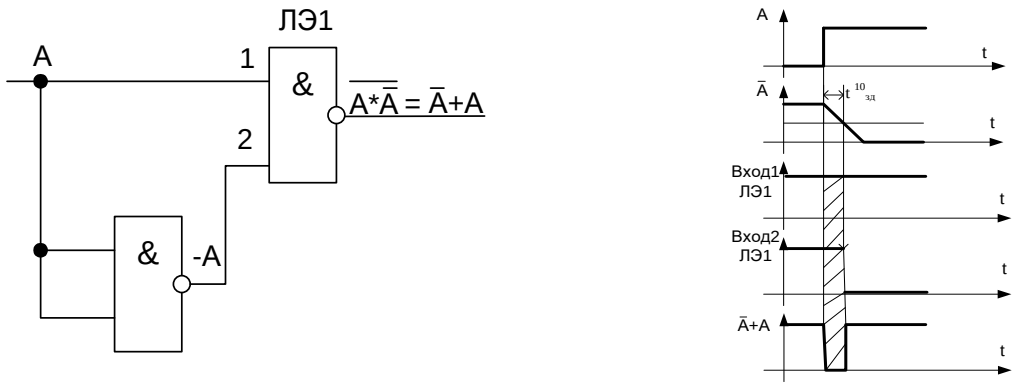
«0», а следовательно на выходах ЛЭ2 и ЛЭ3 будет логическая «1», которая обеспечивает хранение первоначального состояния в триггере «помощник».

После окончания сигнала на входе Т (устанавливается в состояние логического «0»), на выходе ЛЭ1 образуется «1», что обеспечивает подачу сигналов с выходов триггера «мастер» на входы триггера «помощник» представляющего собой -R-S триггер. Синхронные триггеры. Состязания в асинхронных комбинационных и последовательных схемах. Как было сказано ранее при разработке цифрового устройства на его первоначальной стадии используют логическую модель, которая описывает идеальную схему и не учитывает задержек, которые возникают в схеме. Это может привести к тому, что в некоторый момент времени основные аксиомы алгебры логики (А)*(-А)=0 и (А)+(-А)=1 не подтверждаются.

На Рис.37 (а) приведена схема реализующая выражение (А)+(-А) на элементах И-НЕ с использованием теоремы Де-Моргана.

Из временной диаграммы на рис.37 (в) видно, что на выходе имеется ложный сигнал уровня «0», длительность которого определяется величиной задержки в ЛЭ1 (инвертор).

Подобная ситуация может возникнуть тогда, когда при изменении входного сигнала выходной остается постоянным.



а) *б)*

Рис.37 Схема реализующая выражение (А)+(-А) (а),
диаграмма работы (б)

Возможность появления состязаний требует, чтобы были предприняты меры исключающие вызванные ими сбои.

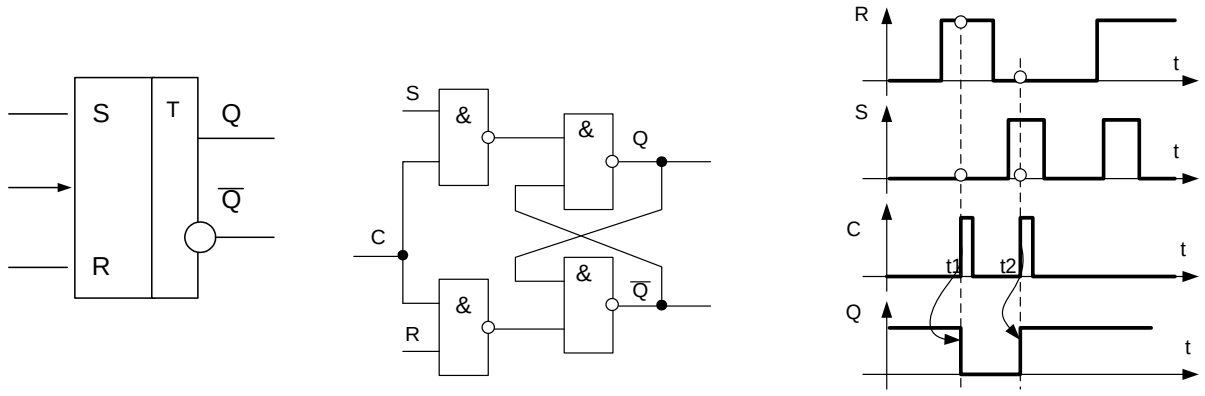
Основным средством позволяющим исключить последствия состязаний является стробирование. Под стробированием понимают выделение из информационного сигнала той его части которая свободна от ложных сигналов вызванных состязаниями.

Всякая комбинационная логическая цепь заканчивается запоминающим элементом (триггером). Поэтому стробирование целесообразно вводить на входе в триггер.

Триггерные схемы, входные сигналы которого стробируются специальными периодическими импульсами, называются синхронными.

Введение синхронизации позволяет также создать условия для одновременного изменения состояний многих триггерных схем (синхронная работа всего устройства).

Синхронный RS триггер. На Рис.38. представлено условное обозначение (а), схема (б), и диаграмма работы (в) синхронного RS триггера.



а) *б)* *в)*

Рис.38. Условное обозначение (а), схема (б), и диаграмма работы (в) синхронного RS триггера

Как видно из диаграммы до прихода тактовых триггер находится в состоянии 1 (выход Q=1). В момент времени t1 на вход C поступает импульс синхронизации, в этот момент времени на входе R триггера присутствует сигнал логической 1, а на входе S сигнал логического 0, что вызывает переключение триггера в состояние «0» по прямому выходу Q.

В момент времени t_2 на вход C поступает следующий импульс синхронизации, в этот момент времени на входе S триггера присутствует сигнал логической 1, а на входе R сигнал логического 0, что вызывает переключение триггера в состояние «1» по прямому выходу Q.

В момент времени, когда на входах R и S триггера присутствует одновременно сигнал логической 1 переход триггера в запрещенную комбинацию не осуществляется в связи с тем, что отсутствует импульс синхронизации на входе C.

Работу синхронного RS триггера можно описать таблицей истинности 5.

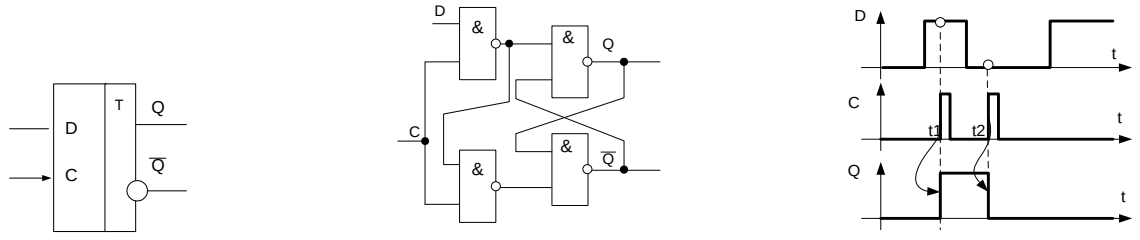
Таблица 5.

S^t	R^t	C^t	Q^t	Q^{t+1}	S^t	R^t	C^t	Q^t	Q^{t+1}
0	0	0	0	0	0	0	1	0	0
0	1	0	0	0	0	1	1	0	0
1	0	0	0	0	1	0	1	0	1
1	1	0	0	0	1	1	1	0	-
0	0	0	1	1	0	0	1	1	1
0	1	0	1	1	0	1	1	1	0
1	0	0	1	1	1	0	1	1	1
1	1	0	1	1	1	1	1	1	-

D триггер. На Рис.39. представлено условное обозначение (а) и схема (б) и диаграмма работы D триггера. Работа D триггера описывается таблицей истинности 5.

D-триггер (иначе триггер задержки) является самым распространенным триггером. Он имеет один информационный вход D (вход данных) и один тактовый вход C.

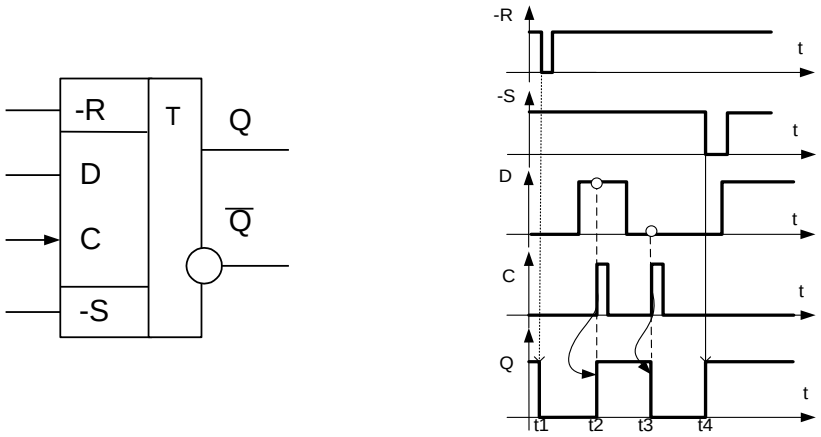
Тактируется триггер (то есть меняет свое состояние) по положительному фронту сигнала C (по его переходу из нуля в единицу) в зависимости от состояния входа данных D. Если на входе D единичный сигнал, то по фронту сигнала C прямой выход триггера устанавливается в единицу (инверсный — в нуль). Если же на входе D - нулевой сигнал, то по фронту сигнала C прямой выход триггера устанавливается в нуль (инверсный - в единицу).



а) *б)* *в)*

Рис.39. Условное обозначение (а), схема (б), и диаграмма работы (в) синхронного D триггера

Остановимся на работе D-триггера чуть подробнее, так как он наиболее часто используется. Ранее говорилось, что RS и -R-S триггера редко используются как самостоятельные, но могут быть использованы для построения триггеров с установочными входами. Условное обозначение такого триггера представлено на рис. 40(а), диаграмма его работы на рис. 40(б).



а) *б)*

Рис.40. Условное обозначение (а), и диаграмма работы (в) синхронного D триггера с установочными входами –R–S

Как следует из диаграммы (Рис.40) в момент t_1 работа триггера определяется установочным сигналом на входе – R (логический «0») – триггер перебрасывается в состояние «0». Нулевое состояние триггера сохраняется до момента t_2, когда сигналы на установочных входах неактивны, на входе D присутствует сигнал «1», а на входе C – положительный фронт, что обеспечивает переключение триггера из состояние «0» в состояние «1».

В момент t_2 работу триггера определяет вход D (логический «0») и положительный фронт сигнала C (триггер переходит в состояние «0»).

В момент t_3 работу триггера определяет установочный вход –S, который обеспечивает его переключение в состояние «1».

Следует отметить, что согласно схемотехнической организации триггера с установочными входами при одновременном действии сигналов на один из установочных входов, на информационный и вход C, состояние триггера определяет установочный вход.

На установочные входы –R–S активные сигналы (–R=–S=0) одновременно поданы быть не могут (согласно схеме –R–S триггера это запрещенная комбинация).

Все приведенные временные диаграммы относятся к первому уровню представления, к уровню логической модели. Конечно же, в реальности все триггеры имеют временные задержки установки выходных сигналов, а также предъявляют определенные временные требования к входным сигналам, при нарушении которых любой триггер будет работать неустойчиво или же не будет работать вообще. Это учитывается на втором уровне представления (в модели с временными задержками).

Длительность тактового сигнала C (как положительного, так и отрицательного импульса) не должна быть слишком малой, иначе триггер может переключаться неустойчиво. Это требование универсально для всех микросхем, срабатывающих по фронту входного сигнала.

Принципиально важна и величина временного сдвига (задержки) между установлением сигнала D и рабочим (положительным) фронтом сигнала C. Этот сдвиг тоже не должен быть слишком малым.

Не должен быть чрезмерно малым и сдвиг между окончанием сигналов –R и –S и рабочим фронтом сигнала C.

Повышенные требования предъявляются также к длительности фронта тактового сигнала C, которая не должна быть слишком большой. Это требование также универсально для всех микросхем, срабатывающих по фронту входного сигнала. Т.е., чем сложнее микросхема, тем важнее для нее становятся ограничения второго уровня представления, тем выше требования к разработчику цифрового устройства по учету временных задержек и длительностей сигналов.

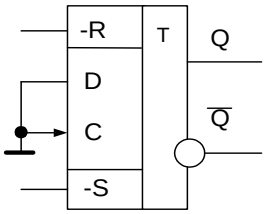
Следует обратить внимание на то, что цифровые схемы не любят слишком коротких входных сигналов и слишком малых задержек между входными сигналами, функционально связанными между собой. Ориентир здесь очень простой — величина задержки логического элемента данной серии. Поэтому для более быстрых серий ограничения будут менее жесткими, а для более медленных серий — более жесткими.

Несмотря на свою достаточно сложную внутреннюю структуру, микросхемы триггеров являются одними из самых быстрых. Задержка срабатывания триггера обычно не превышает 1,5–2 задержки логического элемента. (причем задержки по входам –R и –S чуть меньше, чем по тактовому входу C.) В некоторых сериях JK-триггеры несколько быстрее, чем D-триггеры, в других — наоборот.

Важный параметр триггера — максимальная частота тактового сигнала C. Для ее приблизительной оценки можно придерживаться следующего простого правила: период тактового сигнала C не должен быть меньше величины задержки переключения триггера по входу C.

Основные схемы включения триггеров. Говоря об областях применения триггеров, целесообразно рассматривать D-триггеры, так как в большинстве случаев RS- и JK-триггеры могут быть заменены D-триггерами. Примеры такой замены показаны на Рис.41.

RS-триггер получается из D-триггера, если в D-триггере не использовать входы C и D, например, соединить их с общим проводом (а).



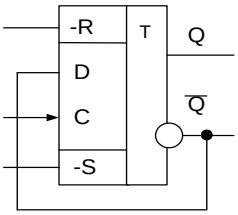


Рис.41 а). включение D-триггера для замены RS-триггера

б). включение JK- триггера в счетном режиме

Сложнее обстоит дело с заменой JK-триггера, в котором предусмотрено больше возможностей, чем в D-триггере. Однако обычно два информационных входа JK-триггера не так уж и нужны. А что касается счетного режима, в котором, пожалуй, наиболее часто работают JK-триггеры, то он легко реализуется на D-триггере в результате объединения

информационного входа D с инверсным выходом (б). При этом по каждому положительному фронту сигнала C триггер будет менять свое состояние на противоположное: нуль на прямом выходе будет сменяться единицей и наоборот. То есть частота входного сигнала триггера будет меньше частоты входного тактового сигнала C в два раза.

На рис.42. представлены другие варианты схем позволяющие преобразовать один триггер в другой.

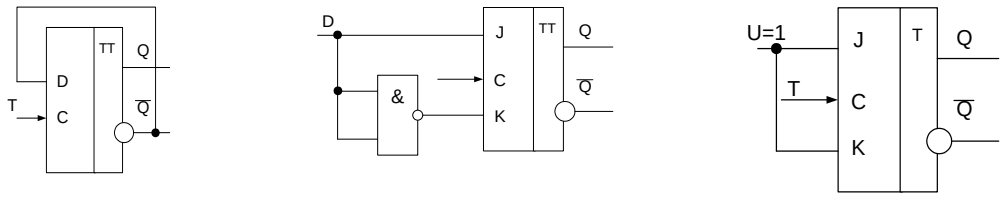


Рис.42 а) триггер «мастер-помощник» D в роли триггера T

б) триггер «мастер-помощник» JK в роли триггера D

в) JK триггер в роли триггера T

Особенности триггеров обусловливают наиболее широкий диапазон схем их включения для решения самых разных задач.

Подавление дребезга контактов выключателя при помощи триггера. С помощью триггера (любого типа) просто решается задача устранения влияния дребезга контактов механических переключателей (Рис. 42).

В данном случае необходим тумблер (или кнопка) с тремя выводами, один из которых попеременно подключается к двум другим. При этом первый отрицательный импульс на входе –R перебрасывает триггер в состояние нуля, а первый отрицательный импульс на входе –S - в состояние единицы. Последующие же импульсы на обоих этих входах, вызванные дребезгом контактов, уже никак не влияют на триггер.

Нижнее (Рис. 43 а) положение выключателя соответствует нулю на выходе триггера, а верхнее - единице.

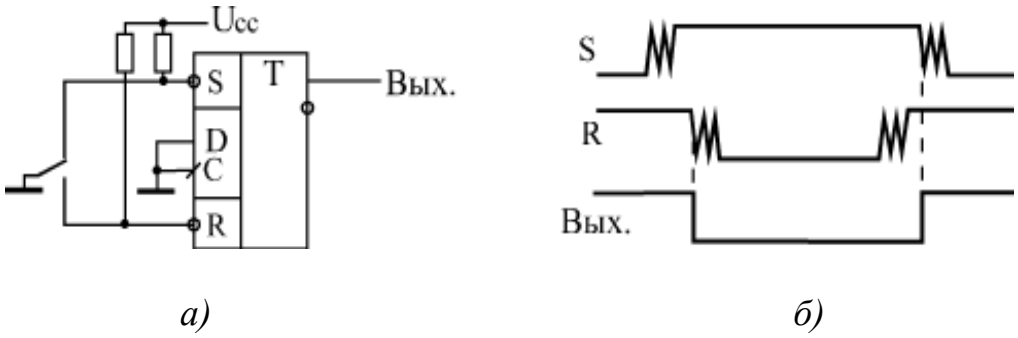


Рис. 43 Подавление дребезга контактов выключателя с помощью триггера

Использование триггера в качестве флага процесса. Основное применение триггеры находят в тех случаях, когда надо сформировать сигнал, длительность которого соответствует длительности какой-то выполняемой операции, какого-то продолжительного процесса в схеме.

Выходной сигнал триггера при этом может разрешать этот самый процесс, а может информировать остальные узлы устройства о том, что процесс идет (или, как говорят, служить флагом процесса).

Например, в схеме на рис. 4.22 в начале процесса (операции) по сигналу "Старт" триггер перебрасывается в единицу, а в конце процесса (операции) по сигналу "Стоп" - обратно в нуль.

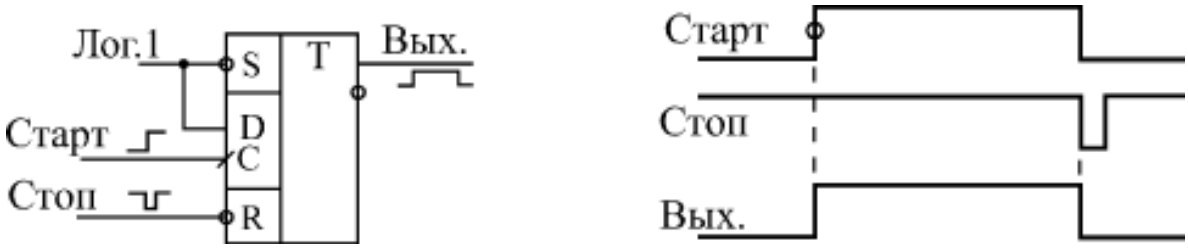


Рис. 44. Использование триггера в качестве флага процесса

Для сигналов "Старт" и "Стоп" можно, конечно, использовать входы триггера -R и -S. Однако более правильным и универсальным решением будет выбор пары входов C и -R или C и -S, что предотвратит неоднозначность поведения триггера при одновременном приходе сигналов "Старт" и "Стоп".

Если используются входы C и -R, то на вход D надо подать единицу, а если применяются входы C и -S, то на вход D надо подать нуль. Такое решение удобно еще и тем, что в качестве одного из сигналов "Старт" и "Стоп" может

выступать не уровень, а фронт. Именно этот фронт (в нужной полярности) и надо подать в этом случае на тактовый вход триггера C.

Синхронизация с помощью триггера. Важной областью применения триггеров является их применение для синхронизации сигналов.

Например, триггер позволяет наиболее просто избавиться от паразитных коротких импульсов на выходах комбинационных схем, возникающих при почти одновременном изменении нескольких входных сигналов (рис. 45).

Для синхронизации в данном случае необходимо иметь синхросигнал (синхропереход), сопровождающий входные информационные сигналы (входной код) и задержанный относительно момента изменения этих сигналов на время $t_з$, большее задержки комбинационной схемы. При подаче этого синхроимпульса на вход C триггера, а выходного сигнала комбинационной микросхемы (Вых. 1) на вход D триггера на выходе триггера получаем сигнал (Вых. 2), полностью свободный от паразитных импульсов.

При проектировании цифровых схем, работающих по тактам единого тактового генератора, часто возникает необходимость синхронизовать с работой схемы какой-то внешний сигнал. То есть требуется обеспечить, чтобы этот сигнал (асинхронный по отношению ко всей остальной схеме) изменялся по тактам тактового генератора, как и все остальные сигналы схемы (стал бы синхронным всей остальной схеме). Для решения такой задачи можно также использовать триггер.

Рассмотрим пример. Пусть необходимо с помощью внешнего сигнала разрешать и запрещать прохождение сигнала непрерывно работающего тактового генератора. В случае обычного RC-генератора эта задача может быть решена путем запуска и остановки генератора. Однако далеко не всегда допускается останавливать работу тактового генератора, от которого работает вся схема. В случае же кварцевого генератора его остановка и запуск никогда не применяются, так как такой генератор начинает работать после разрешения с задержкой, равной нескольким периодам тактовой частоты, причем количество этих периодов не постоянно.

Будем считать, что тактовый генератор работает постоянно, а по внешнему управляющему сигналу мы будем разрешать или запрещать прохождение его выходных импульсов (рис. 45).

В простейшем случае (а) для пропускания и запрещения импульсов тактового генератора Г используется логический элемент 2И. При этом вполне возможна ситуация прохождения на выход схемы импульсов неполной длительности или даже предельно коротких, нестабильно появляющихся импульсов, которые могут вносить неопределенность в работу остальной схемы.

Применение синхронизирующего триггера (б) обеспечивает прохождение на выход пропускающего элемента 2И только импульсов полной длительности. Разрешающий сигнал, проходя через триггер, который тактируется разрешаемым сигналом, становится синхронным с тактовым сигналом и гарантирует прохождение на выход обязательно целого количества тактовых импульсов, целого количества периодов тактового генератора. В простейшем случае (а) для пропускания и запрещения импульсов тактового генератора Г используется логический элемент 2И. При этом вполне возможна ситуация прохождения на выход схемы импульсов неполной длительности или даже предельно коротких, нестабильно появляющихся импульсов, которые могут вносить неопределенность в работу остальной схемы.

Применение синхронизирующего триггера (б) обеспечивает прохождение на выход пропускающего элемента 2И только импульсов полной длительности. Разрешающий сигнал, проходя через триггер, который тактируется разрешаемым сигналом, становится синхронным с тактовым сигналом и гарантирует прохождение на выход обязательно целого количества тактовых импульсов, целого количества периодов тактового генератора.

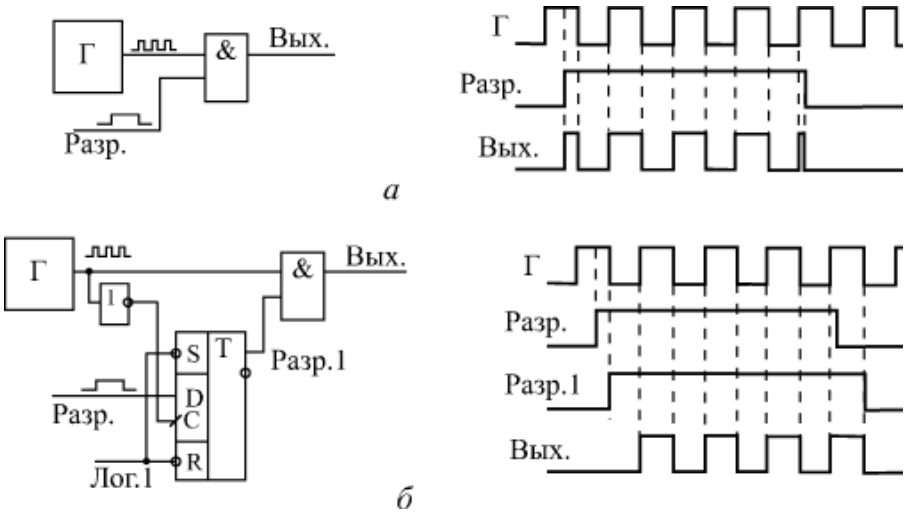


Рис. 45. Синхронизация сигнала разрешения

Построение линий задержки с помощью триггера. Триггеры позволяют также строить линии задержки цифровых сигналов, для чего несколько триггеров соединяется в последовательную цепочку, причем все они тактируются единым тактовым сигналом С. Такое включение позволяет, например, одновременно обрабатывать комбинационными схемами несколько последовательных во времени состояний какого-то одного сигнала.

В качестве примера на рис. 46 приведена схема, которая выделяет во входном сигнале 3-х тактовую последовательность 010. Цепочка из трех триггеров Т1, Т2 и Т3, тактируемых единым синхросигналом, запоминает три последовательных состояния входного сигнала. Например, если на выходе триггера Т2 будет зафиксировано состояние входного сигнала в N-ом такте, то на выходе триггера Т1 будет состояние входного сигнала в такте (N+1), а на выходе триггера Т3 — в такте (N–1). Из-за конечной величины задержки переключения триггеров в каждый следующий триггер входной сигнал будет переписываться еще до того как он поменяет свое значение вследствие переключения предыдущего триггера.

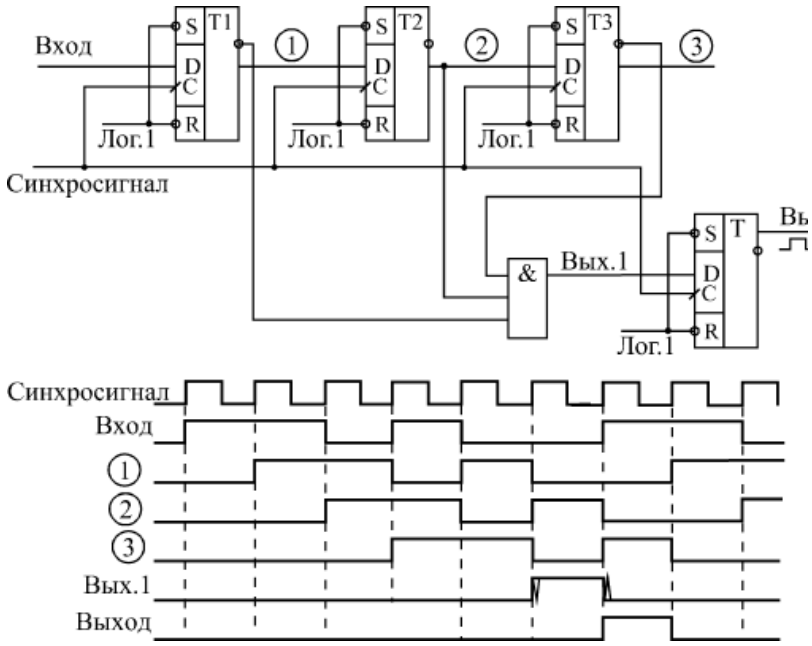


Рис. 46. Выделение 3-тактовой последовательности тактов во входном сигнале

Подавая выходные сигналы триггеров (прямые или инверсные в зависимости от нужных уровней) на элемент И с нужным числом входов, можно зафиксировать любую 3-х тактовую последовательность во входном сигнале. Для предотвращения появления паразитных импульсов в выходном сигнале (они возможны, так как входные сигналы элемента И изменяются почти одновременно) применяется выходной триггер Т, тактируемый тем же самым общим синхросигналом. На выходе триггера Т получаем единичный сигнал, соответствующий последовательности 010 во входном сигнале. Правда, этот выходной сигнал будет задержан относительно конца выделяемой последовательности 010 на два такта.

Пример 1. Рассчитаем симметричный триггер с автоматическим смещением, если U_m=10 *в*, максимальная частота переключения F= 100 кгц, максимальная рабочая температура 50^0C, $I_{к0}$ =10 *мка*, β=40.

Решение.

1. Выбираем $E_к$ на 20% выше U_m и принимаем $u_д$ = 2 *в,* тогда $E_к$=1,2, $E_к$=1,2 U_m+ $u_д$=1,2·10+2=14 *в*.

2. Выбираем транзистор типа ГТ-108Б, у которого f_2 =1 Мгц, $u_{кб}$ = 15 *в*, $I_к$ = 5 *ма*.

Задаемся $I_к$ =0,71$_{к\ доп}$=35 *ма*.

3. Определяем величины $R_к$ и $R_д$:

$$R_K \geq \frac{E_K - u}{I_K} = \frac{14-2}{35\cdot 10^{-3}} \approx 3{,}3\,\text{ком}; \qquad R_Э = \frac{u_Э}{I_K} = \frac{2}{3{,}5\cdot 10^{-3}} \approx 56\,\text{ом}.$$

4. Определим $I_{к0\ макс}$ при максимальной температуре 50^{0}С по формуле

$$\mathrm{I}_{\text{К0 макс}} = \mathrm{I}_{\text{К0}} \cdot e^{\psi(t^0-20^0)} = 10^{-5} e^{0{,}07(50^0-20^0)} = 80\ мк.$$

5. Определяем

$$R_б \leq \frac{E_K R_Э}{(R_Э + R_K)\mathrm{I}_{\text{К0макс}}} = \frac{14\cdot 56}{(56+330)80\cdot 10^{-6}} \approx 33_{ком.}$$

6. Определяем сопротивление связи R:

$$R \leq \frac{\beta\ R_б R_K}{R_б + \beta\ R_Э} = \frac{40\cdot 33\cdot 10^3\cdot 330}{33\cdot 10^3 + 40\cdot 56} \approx 0{,}1\ Мом$$

7. Емкости ускоряющих конденсаторов обычно выбираются С=50÷200 пф,

эмиттерного конденсатора $C_д = 5 \div 10$тыс. пф.

Задание для самостоятельной работы:

№ варианта	U_m (В)	F (кГц)	T^0 (С)	$I_{к0}$ (мка)	В
1	1,5	50	20	5	20
2	3	100	25	10	25
3	5	150	30	15	30
4	9	200	35	20	35
5	12	250	40	25	40
6	24	300	45	30	45
7	36	350	50	35	20
8	1,5	400	55	40	25
9	3	450	60	45	30

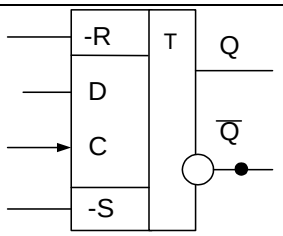
10	5	500	65	50	35
11	9	50	20	5	40
12	12	100	25	10	45
13	24	150	30	15	20
14	36	200	35	20	25
15	1,5	250	40	25	30
16	3	300	45	30	35
17	5	350	50	35	40
18	9	400	55	40	45
19	12	450	60	45	20
20	24	500	65	50	25

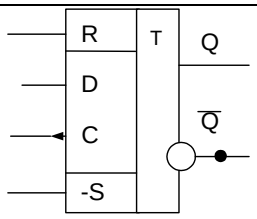
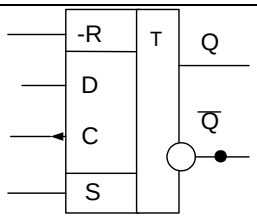
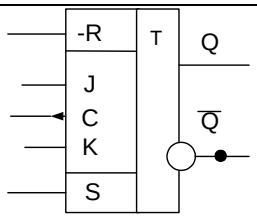
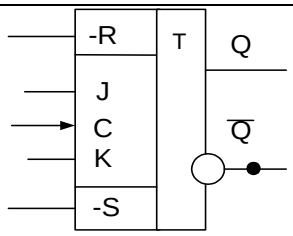
Контрольные вопросы

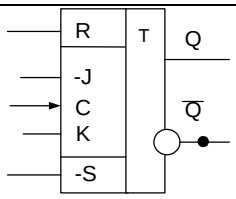
1. Что такое триггер?
2. Какие выходы имеет триггер?
3. Какие бывают триггеры по способу записи?
4. В какое состояние устанавливается триггер по входу S?
5. В какое состояние устанавливается триггер по входу R?
6. Как обозначается вход синхронизации?
7. Как обозначается счетный вход?
8. Нарисуйте условное обозначение -S-R триггера. Какая комбинация сигналов является запрещенной?
9. Нарисуйте условное обозначение SR триггера. Какая комбинация сигналов является запрещенной?
10. Нарисуйте схему -S-R триггера. Покажите на схеме, как триггер перебрасывается из состояния «1» в состояние «0».
11. Нарисуйте схему SR триггера. Покажите на схеме, как триггер перебрасывается из состояния «1» в состояние «0».

12. Нарисуйте условное обозначение JK триггера. Объясните по схеме особенности его работы.
13. Напишите таблицу истинности T триггера. Поясните по схеме принцип его работы.
14. Объясните по схеме принцип работы T триггера «мастер-помощник».
15. Какой триггер называется синхронным.
16. Поясните, используя Рис.4.15, переключение синхронного триггера SR из состояния «0» в состояние «1» с учетом состояний ЛЭ.
17. Нарисуйте схему синхронного –S-R триггера на элементах ИЛИ-НЕ. Объясните его работу с помощью диаграммы.
18. Нарисуйте схему преобразования JK триггера в триггер D.
19. Нарисуйте схему преобразования JK триггера в триггер T.
20. Нарисуйте схему преобразования D триггера с установочными входами -R-Sв триггер RS.

Индивидуальные задания

Вариант	**Задание 1.** Нарисуйте условное обозначение, схему, таблицу истинности и диаграмму работы указанного триггера	**Задание 2.** Дорисуйте заданные на рисунках диаграммы для указанных триггеров
1	Асинхронный -J-K триггера	 Рис.47 (а)
2	Асинхронный -J-K триггера	
3	Асинхронный J-K триггера	
4	Асинхронный J-K триггера	
5	Асинхронный -R-S триггера	
6	Асинхронный RS триггера	

7	Асинхронный -R-S триггера	 Рис. 47 (б)
8	Асинхронный RS триггера	
9	Асинхронный JK триггера «мастер-помощник»	 Рис. 47 (в)
10	Асинхронный -J-K триггера «мастер-помощник»	
11	Асинхронный -J-K триггера «мастер-помощник»	
12	Асинхронный T триггера	 Рис. 47 (г)
13	Асинхронный T триггера «мастер-помощник»	
14	D триггер с синхронизацией по отрицательному фронту	
15	D триггер с синхронизацией по положительному фронту	 Рис. 47 (д)
16	D триггер с синхронизацией по положительному фронту	
17	D триггер с синхронизацией по отрицательному фронту	
18	D триггер «мастер-помощник» с синхронизацией по отрицательному фронту	
19	D триггер «мастер-помощник» с синхронизацией по положительному фронту	

20	Синхронный Т триггер с синхронизацией по положительному фронту	 Рис. 47 (е)

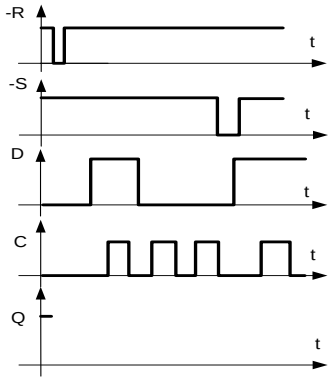


Рис. 47 (а)

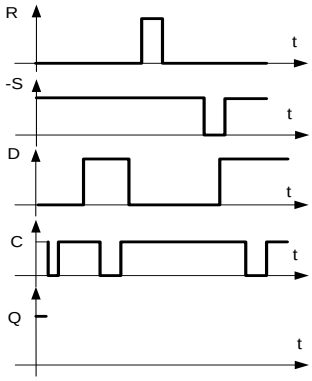


Рис. 47 (б)

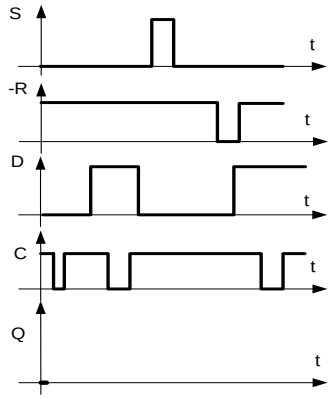


Рис. 47 (в)

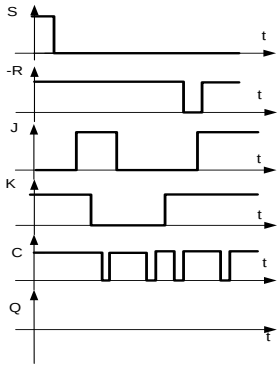


Рис. 47 (г)

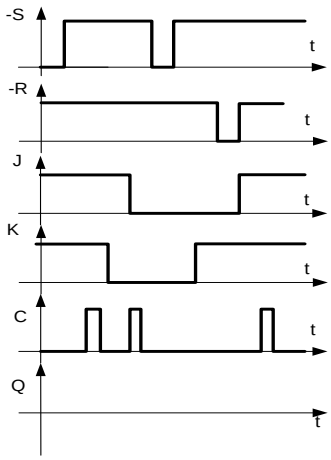


Рис. 47 (г)

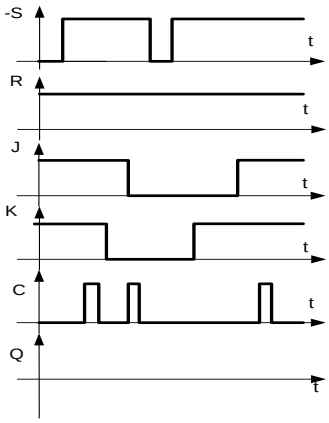
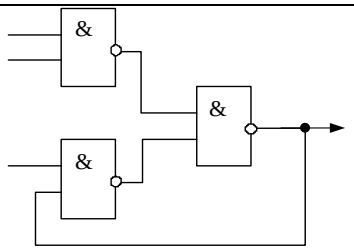
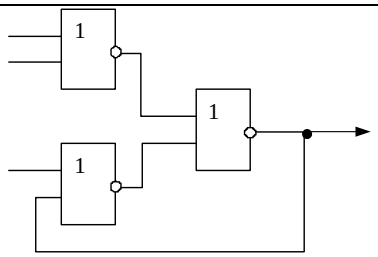


Рис. 47 (е)

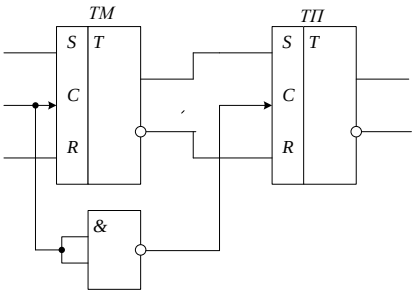
Задание 3

Для схемы представленной на Рис.5.24 1. Обозначьте сигналы на входах триггера 2. Обозначьте сигналы на входе триггера	 Рис. 48

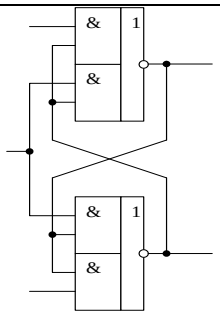
Задание 4

Для схемы представленной на Рис. 5.25 3. Обозначьте сигналы на входах триггера 4. Обозначьте сигналы на входе триггера	 Рис. 49

Задание 5

Для схемы представленной на Рис. 4.28 5. Обозначьте сигналы на входах триггера 6. Обозначьте сигналы на выходах триггера	 Рис. 50

Задание 6

Для схемы представленной на Рис. 4.29 7. Обозначьте сигналы на входах триггера 8. Обозначьте сигналы на выходах триггера	 Рис. 51

6. Регистры. Параллельное и последовательное работа регистров

Общие сведения. Регистр (англ. register) – устройство, предназначенное для хранения и преобразования многоразрядных двоичных чисел. В качестве запоминающего элемента в регистрах используют триггер.

По принципу хранения информации регистры делятся на статические и динамические. Статические регистры строят на потенциальных элементах памяти (триггерах), которые могут хранить информацию сколь угодно долго (при наличии напряжения питания). Динамические регистры строят на элементах памяти такого типа, как конденсатор, которые могут хранить информацию лишь в течение некоторого промежутка времени. Поэтому в динамических регистрах необходима регенерация записанной информации.

На схемах регистры обозначаются буквами RG. В отечественных сериях микросхем регистрам соответствуют буквы ИР. Регистры обладают большими функциональными возможностями. Они используются в качестве управляющих и запоминающих устройств, генераторов и преобразователей кодов, счетчиков, делителей частоты, узлов временной задержки. Регистры могут быть построены на синхронных или асинхронных триггерах, а также триггерах имеющих установочные входы. Одиночный триггер может запоминать (регистрировать) один разряд (бит) двоичной информации. Такой триггер можно считать одноразрядным регистром.

Цифровые приборы, как правило, оперирует с многоразрядными числами. Поэтому в качестве регистров в зависимости от назначения используются наборы (цепочки) триггеров, количество которых соответствует разрядности хранимого числа.

Вспомогательные элементы в регистрах используются для осуществления следующих операций:

- ввода и вывода из регистра хранимой информации;
- преобразования кода числа, хранящегося в регистре;
- сдвига числа влево или вправо на определенное число разрядов;

- преобразования последовательного кода числа в параллельный т наоборот и другие.

Вспомогательные элементы обычно строятся на основе комбинационных схем. Занесение информации в регистр называют операцией ввода или записи.

Выдача информации к внешним устройствам характеризует операцию вывода или считывания. Регистры классифицируют по различным признакам, основными из которых являются способ ввода информации в регистр и её вывод и способ представления вводимой и выводимой информации.

Регистры делятся на три группы:

- Параллельные регистры (регистры памяти);
- Регистры сдвига (регистры сдвига)
- Параллельно-последовательные регистры

По виду вводимой и выводимой информации различают регистры однофазного и парафазного типа.

В однофазных регистрах информация вводится (выводится) только в прямом или только в обратном коде. В парафазных регистрах информация вводится одновременно в прямом и обратном кодах. Вывод информации из регистров осуществляется в прямом и обратном кодах (триггер имеет два выхода: прямой Q и инверсный –Q). Различают одно- и многоканальные регистры в зависимости от числа источников информации, с которых она поступает на входы регистра. Важнейшие характеристики регистров – разрядность и быстродействие. Разрядность определяется количеством триггеров. Быстродействие характеризуется максимальной тактовой частотой, с которой может производиться запись, чтение и сдвиг информации.

По способу приема и выдачи информации регистры делятся на следующие группы:

- с параллельным приемом и параллельной выдачей информации (рис. 52);

- с последовательным приемом и последовательной выдачей информации (Рис. 53);
- с последовательным приемом и параллельной выдачей информации (Рис. 54);
- с параллельным приемом и последовательной выдачей информации (Рис. 55);
- комбинированные, с различными способами приема и выдачи информации (Рис. 56);
- реверсивные – осуществляющие сдвиг влево или вправо (Рис. 57).

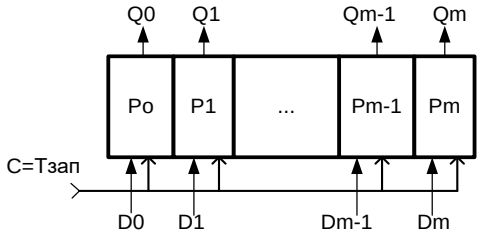


Рис. 52 Функциональная схема регистра с параллельным приемом и параллельной выдачей информации

На вход каждого разряда регистра (в соответствии с весом разряда) одновременно подаются вводимые данные $D_0D_1\ldots D_m$. С подачей синхроимпульса, который является сигналом записи данных в регистр, данные появятся на выходах $Q_0Q_1\ldots Q_m$. Время появления данных на выходах $Q_0Q_1\ldots Q_m$ определяется временем задержки одного разряда (триггера).

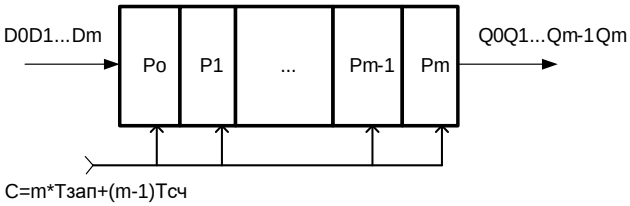


Рис. 53. Функциональная схема регистра с последовательным приемом и последовательной выдачей информации

В регистр, изображенный на Рис.53. запись данных $D_0D_1…D_m$ осуществляется последовательно разряд за разрядом, начиная со старшего разряда D_m при сдвиге вправо.

Для записи m-разрядного числа в регистр должно быть подано m сигналов записи ($T_{зап}$).

Для считывания записанного числа из регистра необходима подать m-1 сигналов считывания ($T_{сч}$). Вывод числа из регистра осуществляется со старшего разряда Q_m.

Регистр, изображенный на Рис.54 представляет совокупность двух схем: схемы представленной на Рис.53 в части записи информации в регистр и схемы представленной на Рис.52 в части считывания информации из регистра.

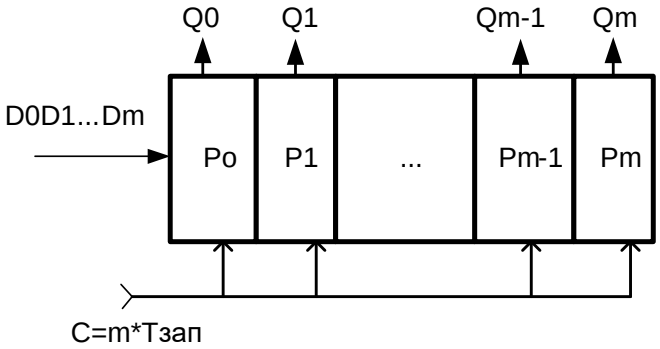


Рис. 54. Функциональная схема регистра с последовательным приемом и параллельной выдачей информации

Запись данных $D_0D_1…D_m$ осуществляется последовательно разряд за разрядом, начиная со старшего разряда при сдвиге. Для записи m-разрядного числа в регистр должно быть подано m сигналов записи ($T_{зап}$).

После записи последнего младшего разряда (временем задержки триггера P_o) данные будут установлены на выходах $Q_0Q_1…Q_m$.

Сигналы записи и считывания информации одновременно подаваться не могут.

Регистр, изображенный на Рис.55. представляет совокупность двух схем: схемы представленной на Рис.52 в части записи информации в регистр

и схемы представленной на Рис.53 в части считывания информации из регистра. Запись данных $D_0D_1…D_m$ осуществляется одновременно во все разряды регистра с подачей сигнала $T_{зап}$. Формирование сигнала $T_{зап}$ осуществляется в зависимости от вида триггера разной комбинационной схемой, что будет показано ниже.

После записи числа в регистр (после времени задержки одного разряда) могут быть поданы m-1 сигналов чтения ($T_{сч}$), обеспечивающие вывод информации из регистра (начиная со старшего разряда Q_m) при сдвиге вправо.

При реализации такой схемы надо учитывать условие $T_{зап}* T_{сч} = 0$.

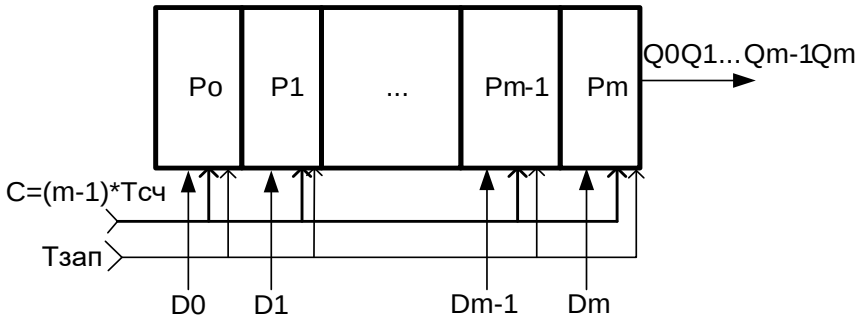


Рис. 55. Функциональная схема регистра с параллельным приемом и последовательной выдачей информации

Регистр, изображенный на Рис.56 представляет совокупность вышеприведенных схем. В зависимости от присутствующих сигналов управления ($T_{зап}$ и $T_{сч}$) комбинационной логикой будет обеспечивается требуемый тип ввода и вывода информации.

При реализации такой схемы надо учитывать условие $T_{зап}* T_{сч} = 0$.

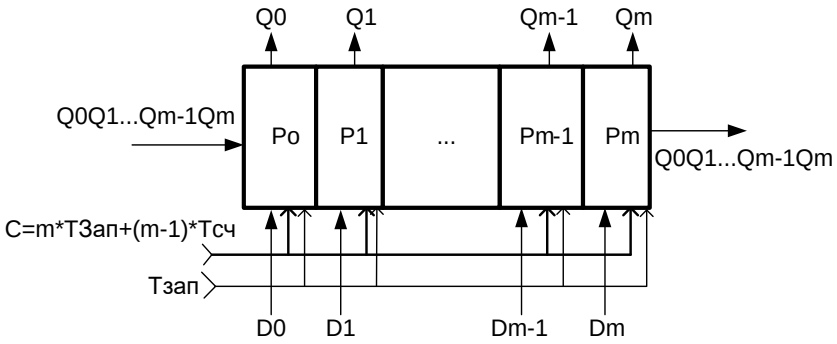


Рис. 56. Функциональная схема комбинированного регистра, с различными способами приема и выдачи информации

Регистр, изображенный на Рис.56 представляет собой реверсивный регистр, который позволяет вводить информацию при сдвиге вправо (со старшего разряда D_0) при подаче m управляющих сигналов $T_{сд.пр}$, или при сдвиге влево (с младшего разряда D_1) при подаче m управляющих сигналов $T_{сд.л}$.

Аналогично может быть построены схемы обеспечивающие циклический сдвиг вправо или влево, а также схемы обеспечивающие ввод со старшего разряда и вывод с младшего или наоборот.

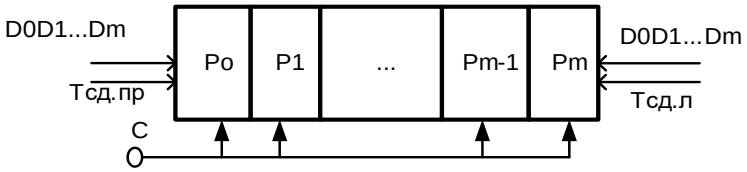


Рис. 57. Функциональная схема реверсивного регистра, с различными способами приема и выдачи информации

Различают одно- и многоканальные регистры в зависимости от числа источников информации, с которых она поступает на входы регистра.

В простейшем регистре триггеры соединены последовательно, т. е. выходы предыдущего триггера передают информацию на входы последующего. Тактовые входы С триггеров соединены параллельно. Такой регистр имеет один вход и один выход — последовательные. Вход управления — тактовый вход С.

Если к входу каждого триггера добавить разрешающую логику, то можно осуществить параллельную загрузку данных в регистр. Можно предусмотреть логическую схему параллельного отображения выходных данных. Как правило, выходные элементы такой схемы имеют z-состояния, позволяющие поочередно выдавать информацию по многопроводной шине данных. Регистры могут быть двунаправленные или иначе реверсивные, т. е. записанную информацию можно сдвигать по линейке триггеров вправо или влево. Для включения режима сдвига предусматривают специальный вход.

Существуют многорежимные регистры, у которых входные и выходные линии данных объединены в одну линию (порт данных). Эта линия по соответствующей команде (т. е. имеет дополнительный вход) может быть и входной, и выходной.

Регистры хранения (памяти). Регистры с параллельным приемом и выдачей информации служат для хранения информации и называются регистрами памяти или хранения. Их назначение - хранить двоичную информацию небольшого объема в течение некоторого промежутка времени. Эти регистры представляют собой набор триггеров, каждый из которых хранит один разряд двоичного числа. В параллельных регистрах каждый из триггеров имеет свой независимый информационный вход (D) и свой независимый информационный выход. Тактовые входы (C) всех триггеров соединены между собой. В результате параллельный регистр представляет собой многоразрядный, многовходовый триггер. Ввод (запись) и вывод (считывание) информации производится одновременно во всех разрядах параллельным кодом.

Параллельные регистры, в свою очередь, делятся на две группы:

- Регистры, срабатывающие по фронту управляющего сигнала C (или тактируемые регистры).
- Регистры, срабатывающие по уровню управляющего сигнала C (или стробируемые регистры).

Чаще всего в цифровых схемах используются регистры, управляемые фронтом (то есть тактируемые), однако и стробируемые регистры имеют свой круг задач, в которых их ничто не может заменить. В случае, если триггер имеет установочные входы и запись данных в регистр осуществляется по установочным входам, то ввод обеспечивается подачей информационных сигналов и управляющего сигнала на установочные входы в прямом или обратном кодах (-R, R,-S,S).

Если триггер синхронный и не имеет установочных входов, то он представляет собой, по существу, наборы триггеров с независимыми информационными входами и обычно общим тактовым входом. В качестве регистров подобного рода могут быть использованы без дополнительных элементов многие типы синхронных триггеров. В таких регистрах информация подается на информационные входы (вход в триггере D) и запись осуществляется подачей тактового командного импульса. С приходом очередного тактового импульса происходит обновление записанной информации. Если триггер асинхронный, то информация и управляющий сигнал через комбинаторную логику подаются на информационные входы (вход в триггере D).

Стробируемые регистры. Параллельные регистры, срабатывающие по уровню стробирующего сигнала (или, как их еще называют, регистры-защелки, английское "Latch"), можно рассматривать как некий гибрид между буфером и регистром. Когда сигнал на стробирующем входе - единичный, такой регистр пропускает через себя входные информационные сигналы, а когда стробирующий сигнал становится равен нулю, регистр переходит в режим хранения последнего из пропущенных значений входных сигналов. Применение таких регистров сильно ограничено, хотя иногда они довольно удобны. В некоторых схемах они могут успешно заменять регистры, срабатывающие по фронту, а в других схемах их применение вместо регистров, срабатывающих по фронту, недопустимо. Рассмотрим способы

ввода информации в регистр организованный на триггерах с установочными входами.

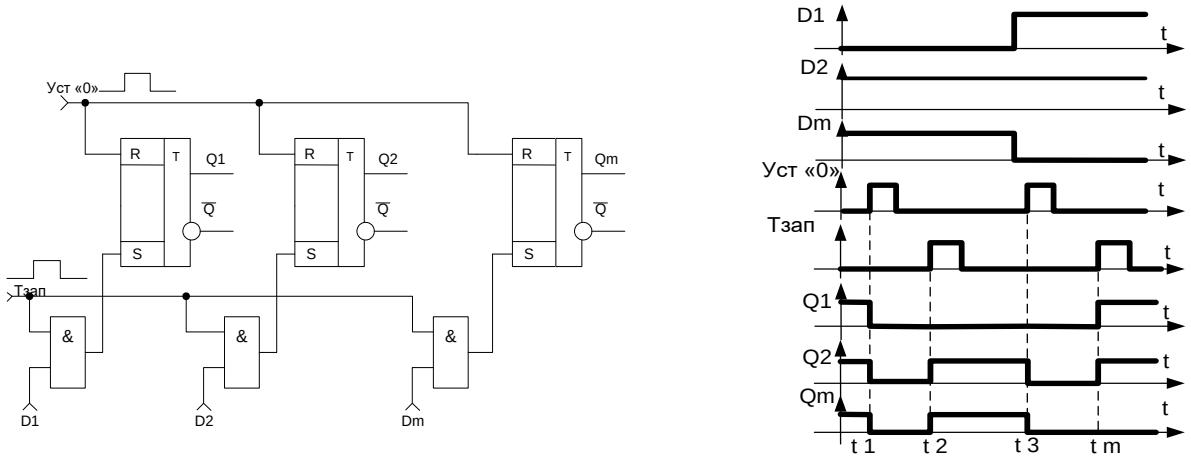
Существует несколько способов записи информации по установочным входам:

- в прямом коде по установочному входу S с предварительной установкой регистра в «0»;
- в обратном коде по установочному входу R с предварительной установкой в «1» всех триггеров;
- с подачей парафазного кода информации (прямой код на вход S, обратный код на вход R).

Во всех перечисленных способах запись информации осуществляется уровнем сигнала.

Запись информации по установочному входу S с предварительной установкой регистра в «0».

На рис.58 представлена схема (а) и диаграмма (б) работы данного регистра. Рассмотрим диаграмму работы регистра (Рис.58 б). Как видно из диаграммы, до момента действия сигнала $У_{ст}$ «0» (момент t_1, регистр стоит в некотором состоянии (Q_1=1, Q_2=1 …. Q_m=1), т.е. хранит некоторую ранее записанную информацию. Для корректной работы схемы первым (момент времени t_1) подается сигнал $У_{ст}$. «0» (высокий уровень), который устанавливает все разряды регистра в нулевое состояние. На входы регистра подана в прямом коде некоторая информация (D_1=0,D_2=1 … D_m=1), которая поступает на один из входов логических элементов, образующих управляющую комбинационную схему. В момент прихода управляющего сигнала $Т_{зап}$ (момент t_2), информация, присутствующая на входах D_1,D … D_m, записывается в регистр. Т.е. триггер, на вход которого



а) *б)*

Рис.58. Запись информации в прямом коде по установочному входу S с предварительной установкой регистра в «0»

подается сигнал логической «1» с ЛЭ И (вход D=1, $T_{зап}$=1), переходит в состояние «1». Триггер на установочный вход S которого приходит сигнал логического «0» с ЛЭ И (вход D=0, $T_{зап}$=1) остается в состоянии логического «0», обусловленном сигналом $У_{ст}$ «0».

Регистр хранит записанную информацию до момента времени t_3. К этому моменту времени на входах D_1,D … D_m установлены новые данные. В момент t_3 подается сигнал $У_{ст}$ «0», в момент t_4 сигнал $T_{зап}$ – в регистр будут записаны новые данные.

Недостатком приведенной схемы является необходимость подачи сигнала $У_{ст}$ «0».

Если триггер имеет установочные инверсные входы (-R-S), то для записи информации подаваемой на входы D в прямом коде необходимо вместо ЛЭ И использовать ЛЭ И-НЕ, а в цепь $У_{ст}$»0» включить инвертор.

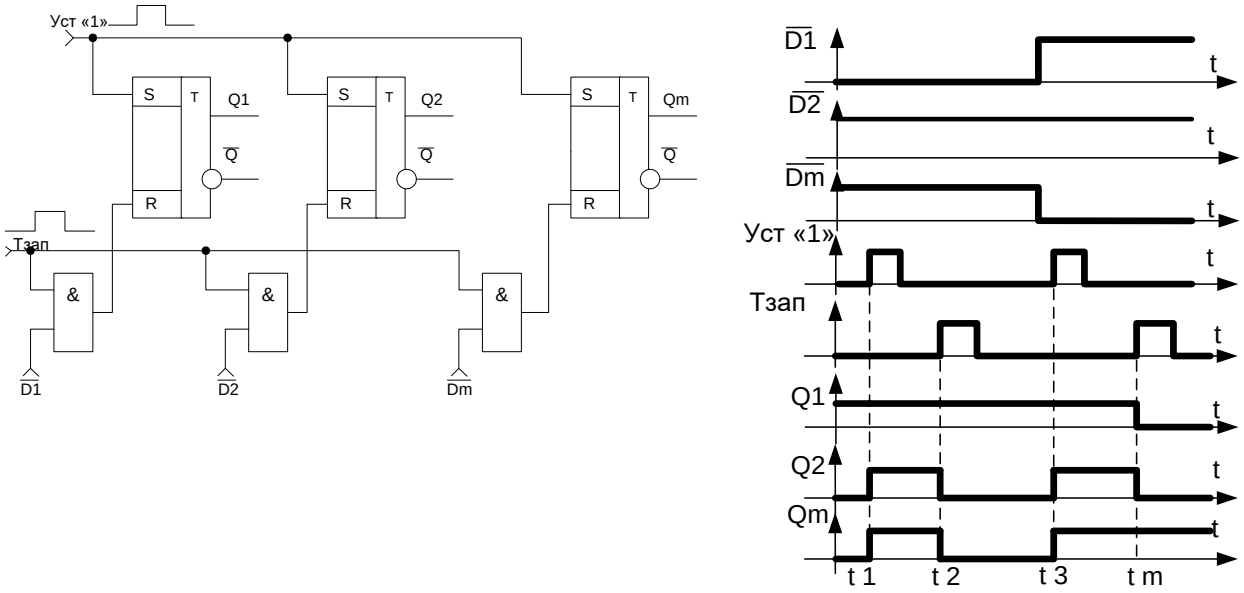
Запись информации по установочному входу R с предварительной установкой в «1» всех триггеров регистра.

На Рис.5.8. представлена схема (а) и диаграмма (б) работы данного регистра.

Особенностью работы данного регистра является то, что данные, которые подаются на его входы D, должны подаваться в обратном коде.

При записи числа в регистр в состояние логического «0» устанавливаются только те триггера, на которые подается обратный код разряда числа равный «1». Остальные триггера останутся в состояние «1».

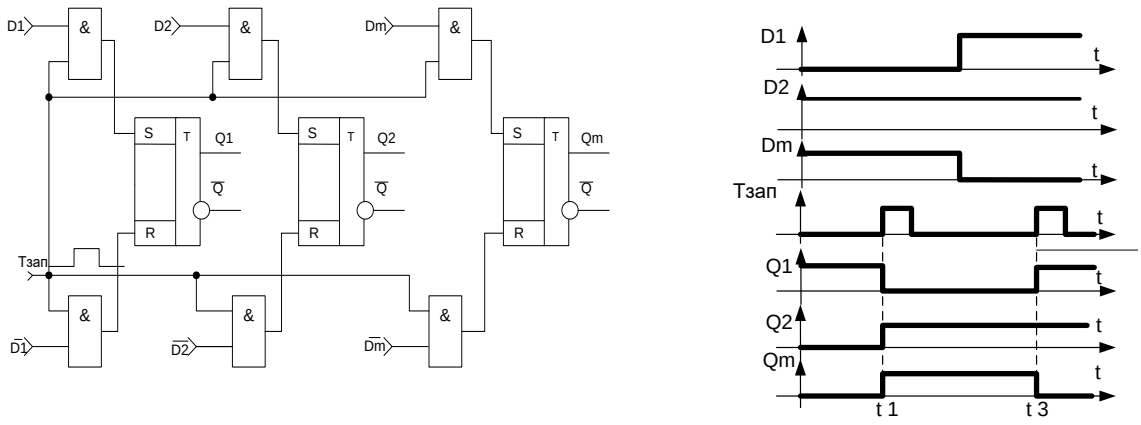
Недостатком приведенной схемы является необходимость подачи сигнала $У_{ст}$ «1» всех разрядов триггеров.



а) *б)*

Рис.59. Запись информации по установочному входу R с предварительной установкой в «1» всех триггеров регистра

Запись информации парафазным кодом. На Рис.60 представлена схема (а) и диаграмма (б) работы данного регистра.



а) *б)*

Рис.60. Запись информации по установочному входу R с предварительной установкой в «1» всех триггеров регистра

При записи парафазным кодом прямой код числа подается на вход S, обратный код на R.

Достоинством данной схемы является отсутствие сигнала предварительной установки регистра.

Недостатком то, что необходим прямой и обратный код числа. Если устройство работает только с прямым кодом, то для формирования обратного кода необходимо в схеме предусмотреть m инверторов.

В стандартных сериях регистры, срабатывающие по уровню, представлены гораздо меньше, чем регистры, срабатывающие по фронту. На Рис. 61 показана в качестве примера ИС 8-разрядного регистра ИР22.

Стробирующие входы С нередко на схемах обозначают Е (от английского "Enable" - "разрешение"), для того чтобы не путать их с тактовыми входами D-триггеров.

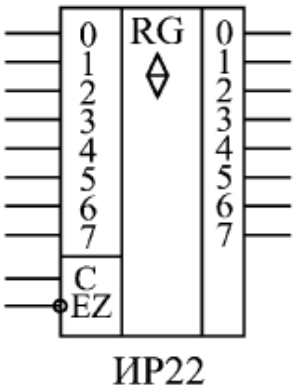


Рис. 61. ИС регистра срабатывающие по уровню

Регистр ИР22 имеет выходы с тремя состояниями (и соответственно, вход разрешения всех выходов –EZ), всеми восемью разрядами управляет один стробирующий сигнал C. При единице на входе C регистр работает как буфер-повторитель, а при нуле на входе C - хранит ту информацию, которая была на входе в момент отрицательного фронта сигнала C. Выходы у регистра ИР22 - прямые. Как и все регистры с тремя состояниями выхода, ИР22 имеет повышенную нагрузочную способность.

Тактируемые регистры. Принцип действия регистров, срабатывающих по фронту тактового сигнала, ничем не отличается от принципа действия D-триггера.

По положительному фронту тактового сигнала C каждый из выходов регистра устанавливается в тот уровень, который был в этот момент на соответствующем данному выходу входе D, и сохраняется таковым до прихода следующего положительного фронта сигнала C. То есть если триггер запоминает один сигнал (один двоичный разряд, один бит), то регистр запоминает сразу несколько (4, 6, 8, 16) сигналов (несколько разрядов, битов). Память регистра сохраняется до момента выключения питания схемы.

На Рис.62. представлена схема регистра на D триггерах, в котором данные в прямом коде подаются на входы D_1,D … D_m.

Запись информации осуществляется фронтом сигнала $T_{зап}$ (тактовый командный импульс) одновременно поступающего на входы С всех триггеров.

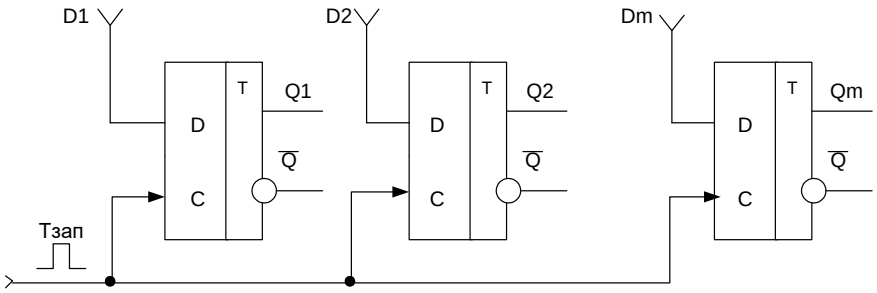


Рис.62. Запись информации параллельным кодом

На Рис.63. представлена схема регистра на JK триггерах. В данной схеме данные подаются парафазным кодом (прямой код D_1,D … D_m – на вход J, обратный кода – на вход К).

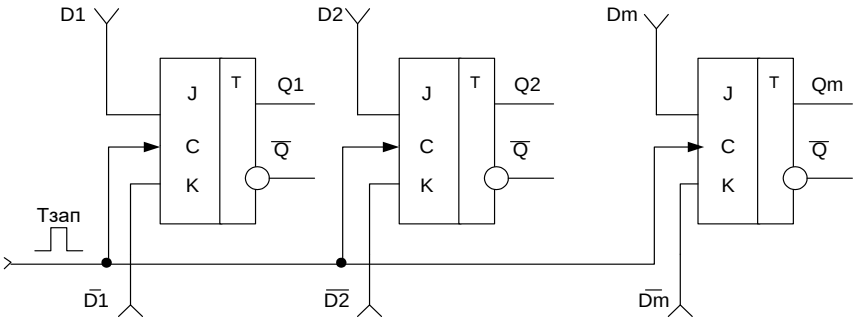


Рис.63. Запись информации парафазным кодом

Изменение хранящейся информации в регистре памяти (запись новой информации) осуществляется после установки на входах D_0 . . . D_m новой цифровой комбинации (информации) при поступлении определенного уровня (регистр на асинхронных триггерах или запись осуществляется по установочным входам триггера) или фронта синхросигнала (синхроимпульса) $T_{зап}$=С на вход «С» регистра (синхронные триггера с записью по информационным входам). Количество разрядов записываемой цифровой информации определяется разрядностью регистра, а разрядность регистра, в свою очередь, определяется количеством триггеров, образующих

этот регистр. В качестве разрядных триггеров регистра памяти используются синхронизируемые уровнем или фронтом триггеры. Наращивание разрядности регистров памяти достигается добавлением нужного числа триггеров, тактовые входы которых присоединяют к шине синхронизации. В стандартные серии входит несколько типов параллельных регистров, срабатывающих по фронту (рис.64).

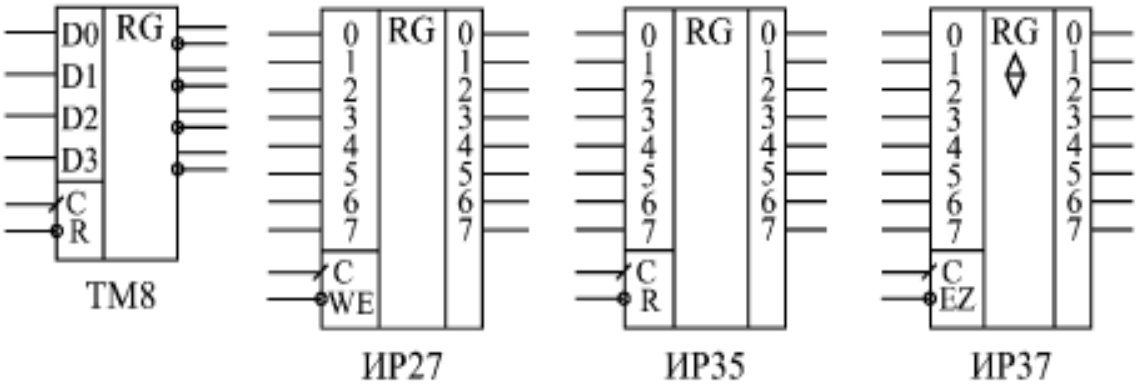


Рис.64. Параллельные регистры стандартных серий, срабатывающие по фронту

Различаются они количеством разрядов, наличием или отсутствием инверсных выходов, наличием или отсутствием входа сброса (–R) или разрешения записи (–WE), а также типом выходных каскадов (2С или 3С) и, соответственно, наличием или отсутствием входа разрешения –EZ. Иногда на схемах тактовый вход С обозначается WR - сигнал записи в регистр.

В качестве примеров в табл. 5.1 приведена таблица истинности регистра ИР27, а в табл. 2 - регистра ИР37. По переходу тактового сигнала С из 0 в 1 (положительный фронт) оба регистра записывают в себя входную информацию.

Таблица 1

Таблица истинности регистра ИР27

Входы			Выходы
-WE	C	D	Q
0	0→1	0	0
0	0→1	1	1
0	0	X	Не меняется
0	1	X	Не меняется
1	X	X	Не меняется

Таблица 2

Таблица истинности регистра ИР37

Входы			Выходы
-EZ	C	D	Q
0	0→1	0	0
0	0→1	1	1
0	0	X	Не меняется
0	1	X	Не меняется
1	X	X	Z

Все регистры, имеющие выход с тремя состояниями, обеспечивают повышенную нагрузочную способность. Задержка переключения регистров примерно соответствует задержке переключения триггеров.

Одно из основных применений регистров состоит в хранении требуемого кода в течение нужного времени.

Регистры могут также применяться в составе вычислителей, выполняя функцию накопителя результата вычисления.

Рассмотрим пример схемы такого вычислителя – накапливающий сумматор.

В самом названии схемы отражена ее функция: она суммирует и накапливает результат. Накапливающий сумматор (Рис. 5.14) состоит из сумматора и выходного регистра, охваченных обратной связью.

То есть на один вход сумматора подается код с выходов регистра, а на другой вход - входной код. В результате с каждым следующим фронтом тактового сигнала в регистр записывается код суммы входного кода с предыдущим содержимым регистра, с

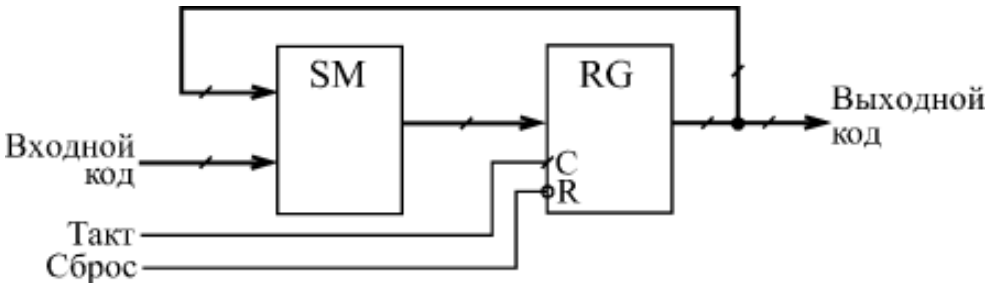


Рис. 65. Структура накапливающего сумматора

предыдущей суммой. Например, если входной код равен 3, а в регистре записан код 6, то в следующем такте в регистр будет записан код 9 (то есть 6 + 3), в следующем такте - код 12 (то есть 9 + 3) и т.д. Получается, что на выходе накапливающего сумматора формируется равномерно увеличивающийся двоичный код, и шаг этого увеличения можно менять. В данном случае удобно применять регистр со сбросом, например, ИР35.

Регистры сдвига. Регистры сдвига или сдвиговые регистры (англ. shift register) представляют собой, последовательно соединенную цепочку триггеров.

Т.е. в сдвиговых регистрах все триггеры соединены в последовательную цепочку (выход каждого предыдущего триггера соединен со входом D следующего триггера). Тактовые входы всех триггеров (C) объединены между собой. В результате такой триггер может рассматриваться как линия задержки, входной сигнал которой последовательно перезаписывается из триггера в триггер по фронту тактового сигнала C. Информационные входы и выходы триггеров могут быть выведены наружу, а могут и не выводиться - в зависимости от функции, выполняемой регистром.

Основной режим их работы - это сдвиг разрядов кода, записанного в эти триггеры, То есть по тактовому сигналу содержимое каждого предыдущего триггера переписывается в следующий по порядку в цепочке триггер. Код, хранящийся в регистре, с каждым тактом сдвигается на один разряд в сторону старших разрядов или в сторону младших разрядов, что и дало название регистрам данного типа.

На схемах символом регистра служат буквы RG. Для регистров сдвига указывается также направление сдвига:

- → вправо (основной режим, который есть у всех сдвиговых регистров);
- ← влево (этот режим есть только у некоторых, реверсивных сдвиговых регистров);
- ↔ реверсивный (двунаправленный), т. е. записанную информацию можно сдвигать по линейке триггеров вправо или влево. Для включения режима сдвига предусматривают специальный управляющий вход.

Направление сдвига отражают внутреннюю структуру регистров сдвига (Рис.66) и перезапись сигналов последовательно по цепочке триггеров. При этом триггеры, вполне естественно, нумеруются слева направо, например, от 0 до 7 (или от 1 до 8) для 8-разрядных регистров. В результате сдвиг информации регистром вправо представляет собой сдвиг в сторону разрядов, имеющих большие номера, а сдвиг информации регистром влево - это сдвиг в сторону разрядов, имеющих меньшие номера.

Однако, как известно, в любом двоичном числе слева расположены старшие разряды, а справа - младшие разряды. Поэтому сдвиг двоичного числа вправо будет сдвигом в сторону младших разрядов, а сдвиг влево - сдвигом в сторону старших разрядов. О такой особенности необходимо помнить разработчику цифрового прибора.

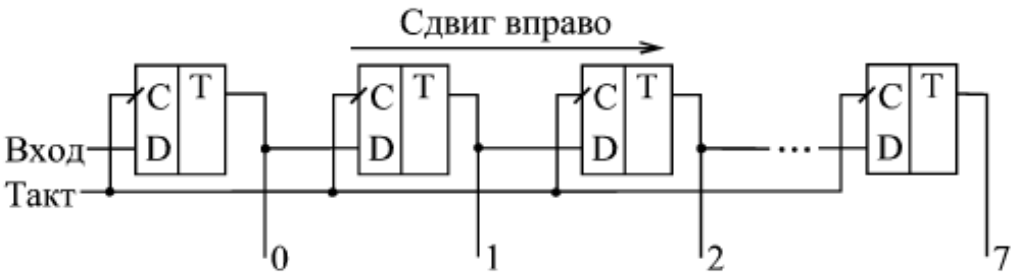


Рис. 66. Направление сдвига в сдвиговых регистрах

Регистры сдвига могут выполнять функции хранения и преобразования информации. Они могут быть использованы для построения умножителей и делителей чисел двоичной системы счисления, т.к. сдвиг двоичного числа влево на один разряд соответствует умножению его на два, а сдвиг вправо - делению на два. Регистры сдвига широко используются для выполнения различных временных преобразований цифровой информации: последовательное накопление последовательной цифровой информации с последующей одновременной выдачей (преобразование последовательной цифровой информации в параллельный код) или одновременный прием (параллельный прием) информации с последующей последовательной выдачей (преобразование параллельного кода в последовательный). Регистры сдвига могут служить также в качестве элементов задержки сигнала, представленного в цифровой форме: регистры с последовательным приемом (вводом) и выводом осуществляют задержку передачи информации на m+1 тактов (m+1 - число разрядов регистра) машинного времени.

Регистры сдвига чаще всебго реализуются на D-триггерах (Рис.67, а) или на RS-триггерах (Рис.67, б), где для ввода информации в первый разряд включается инвертор (первый разряд представляет собой D-триггер). Следует отметить, что все регистры сдвига строятся на базе двухступенчатых триггеров или синхронизируемых фронтом синхроимпульса. Регистры сдвига могут быть построены и на триггерах одноступенчатой структуры. В этом случае в каждом разряде регистра нужно использовать два триггера, которые управляются двумя сдвинутыми во времени тактовыми импульсами.

Если бы в регистре были применены одноступенчатые триггеры по одному на разряд, то правило работы регистра было бы нарушено: при первом же импульсе сдвига информация, записавшись в первый разряд, перешла бы во второй, затем в третий и т.д. Разрядность регистров сдвига, как и у регистров хранения, определяется количеством триггеров, входящих в их состав. Работу регистра сдвига рассмотрим на примере схемы, приведенной на Рис.68. Можно предположить, что в начале все триггеры регистра находятся в состоянии логического нуля, т.е. Q_0=0, Q_1=0, Q_2=0, Q_3=0. Если на входе D-триггера T_1 имеет место логический 0, то поступление синхроимпульсов на входы «C» триггеров не меняет их состояния.

Как следует из Рис.68, синхроимпульсы поступают на соответствующие входы всех триггеров регистра одновременно и записывают в них то, что имеет место на их информационных входах. На информационных входах триггеров T_2, T_3, T_4 - уровни логического «0», т.к. информационные входы последующих триггеров соединены с выходами предыдущих триггеров, находящихся в состоянии логического «0», а на вход «D» первого триггера, по условию примера, подается «0» из внешнего источника информации. При подаче на вход «D» первого триггера «1», с приходом первого синхроимпульса, в этот триггер запишется «1», а в остальные триггеры - «0», т.к. к моменту поступления фронта синхроимпульса на выходе триггера T_1 «ещё» присутствовал логический «0». Таким образом, в триггер T_1 записывается та информация (тот бит), которая была на его входе «D» в момент поступления фронта синхроимпульса и т.д.

При поступлении второго синхроимпульса логическая «1» , с выхода первого триггера, запишется во второй триггер, и в результате происходит сдвиг первоначально записанной «1» с триггера T_1 в триггер T_2, из триггера T_2 в триггер T_3 и т.д.. Таким образом, производится последовательный сдвиг поступающей на вход регистра информации (в последовательном коде) на один разряд вправо в каждом такте синхроимпульсов. После поступления m синхроимпульсов регистр оказывается полностью заполненным разрядами

числа, вводимого через последовательный ввод «D». В течение следующих четырех синхроимпульсов производится последовательный поразрядный вывод из регистра записанного числа, после чего регистр оказывается полностью очищенным (регистр окажется полностью очищенным только при условии подачи на его вход уровня «0» в режиме вывода записанного числа). Реверсивные регистры сдвига объединяют в себе свойства регистров прямого и обратного сдвига.

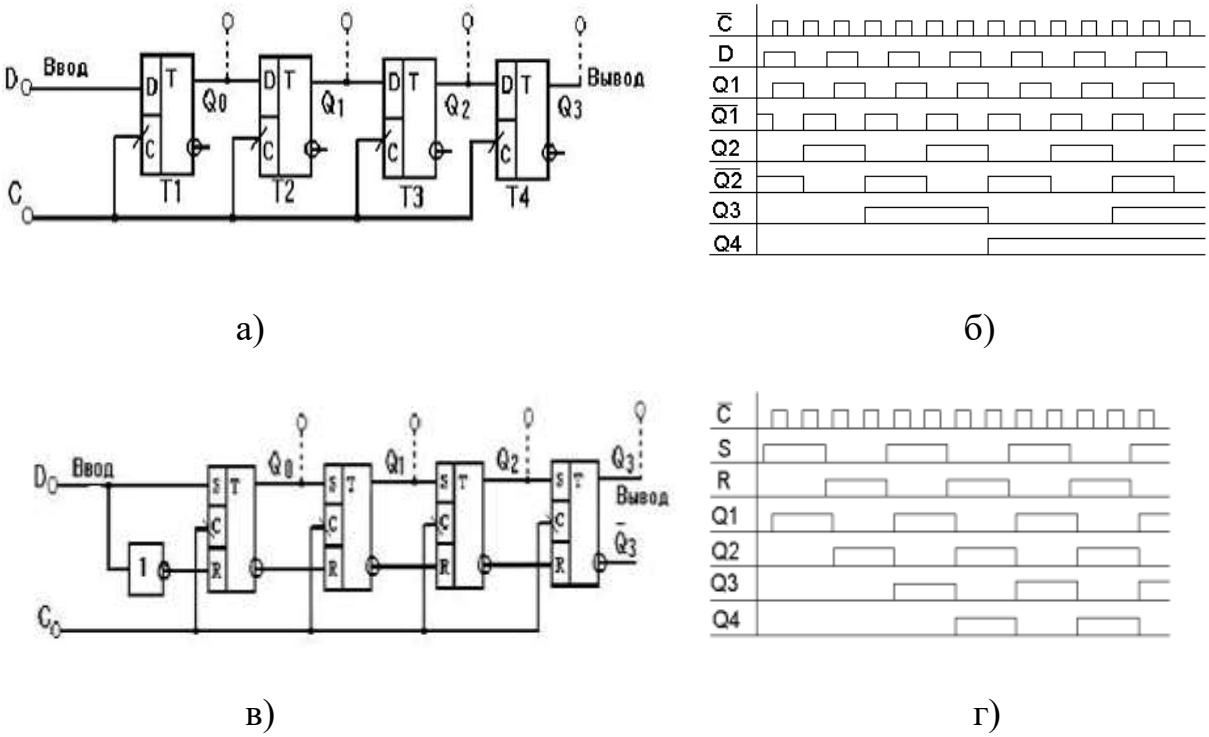


Рис.67. Регистры сдвига и диаграммы работы на D-триггерах (а,б) и на RS-триггере (в,г)

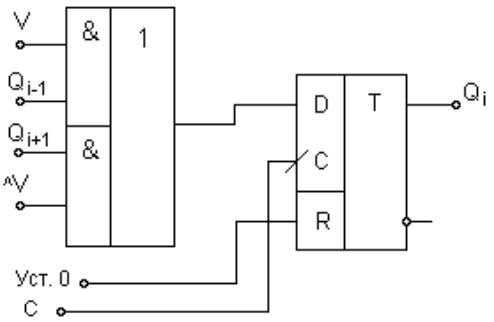


Рис. 68. Разряд реверсивного регистра

В стандартные серии цифровых микросхем входит несколько типов сдвиговых регистров, отличающихся возможными режимами работы, режимами записи, чтения и сдвига, а также типом выходных каскадов (2С или 3С). На рис. 69 представлены микросхемы регистров сдвига.

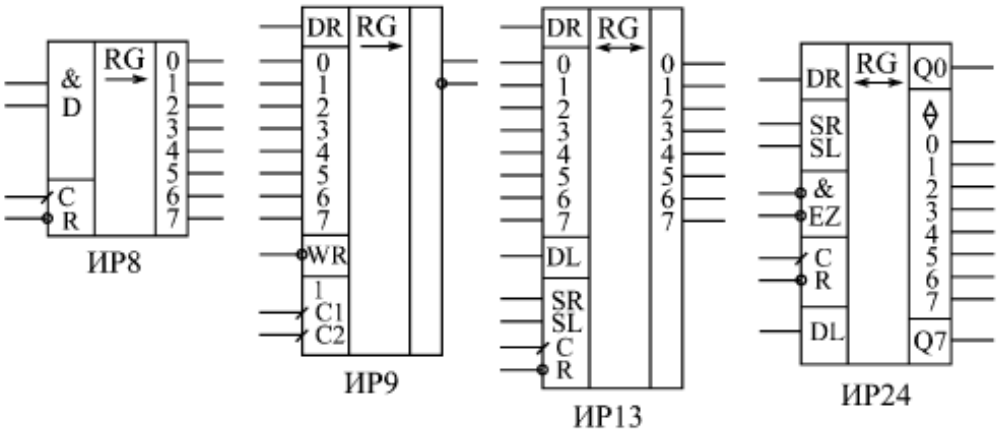


Рис. 69. Сдвиговые регистры

Регистр ИР8 - наиболее простой из регистров сдвига. Он представляет собой 8-разрядную линию задержки, то есть имеет только один информационный вход, на который подается последовательная сдвигаемая информация (точнее, два входа, объединенных по функции 2И), и восемь параллельных выходов.

Сдвиг в сторону выходов со старшими номерами осуществляется по переднему фронту тактового сигнала С. Имеется также вход сброса –R, по нулевому сигналу на котором все выходы регистра сбрасываются в нуль.

На рисунке 69 представлен пример увеличения разрядности регистра на примере ИС ИР9.

Регистр ИР24 имеет двунаправленную параллельную шину данных. То есть одни и те же выводы микросхемы используются как для параллельной записи информации в регистр, так и для параллельного чтения информации из регистра. При этом двунаправленные выводы данных имеют повышенную нагрузочную способность. Это позволяет легко сопрягать ИР24 с многоразрядными микросхемами памяти и с двунаправленными буферами.

Регистр ИР24 обеспечивает сдвиг информации в обоих направлениях. Имеются входы расширения DR и DL, а также выходы расширения Q_0 и Q_7, что позволяет легко наращивать разрядность.

Отличие выходов Q_0 и Q_7 от нулевого и седьмого разрядов данных состоит в том, что Q_0 и Q_7 - однонаправленные, то есть в

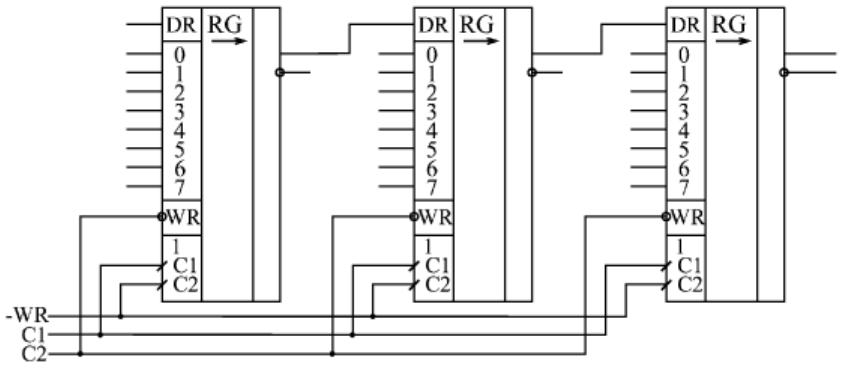


Рис. 70. Соединение регистров ИР9 для увеличения разрядности

любом режиме работы выдают информацию с выходов внутренних триггеров младшего и старшего разрядов.

Тактируется регистр положительным фронтом сигнала C.

Предусмотрен сброс регистра нулевым сигналом на входе –R.

Режим работы микросхемы определяется сигналами на управляющих входах SR и SL. При единичном сигнале на SR и нулевом сигнале на SL по положительному фронту сигнала C происходит сдвиг информации вправо (в сторону разрядов с большими номерами). Запись в разряд 0 производится при этом со входа расширения DR.

При единичном сигнале на SL и нулевом сигнале на SR по положительному фронту сигнала C происходит сдвиг информации влево (в сторону разрядов с меньшими номерами). Запись в разряд 7 производится при этом со входа расширения DL. При обоих нулях на входах SR и SL регистр переходит в режим хранения. Во всех этих случаях разряды данных работают как вход или как выход в зависимости от сигналов –EZ. При обеих единицах на входах SR и SL по положительному фронту C в регистр записывается

параллельный код, причем разряды данных переходят в состояние приема независимо от сигналов –EZ. Таблица истинности регистра ИР24 приведена в табл. 5.4. Объединяя два регистра ИР24, легко получить 16-разрядный сдвиговый регистр с сохранением всех возможностей одной микросхемы (рис.71).

Таблица 4

Таблица истинности регистра сдвига ИР24

Выходы				Функция
C	-R	SR	SL	
X	0	X	X	Сброс
0→1	1	1	0	Сдвиг вправо
0→1	1	0	1	Сдвиг влево
0→1	1	1	1	Параллельная запись
X	1	0	0	Хранение

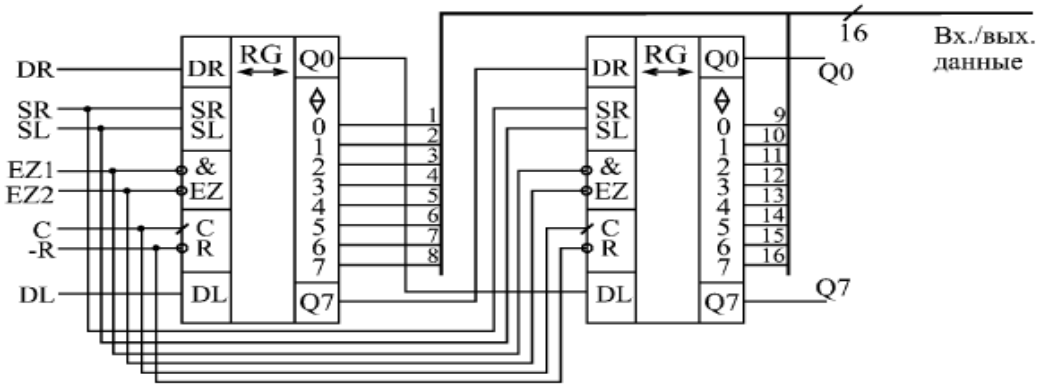


Рис. 71. Объединение регистров ИР24 для увеличения разрядности

Главное применение всех регистров сдвига состоит в преобразовании параллельного кода в последовательный, и наоборот.

Способы вывода информации из регистра. Так как регистры строятся на триггерах, а триггер имеет прямой Q и инверсный –Q выходы, то существует несколько способов вывода информации из регистра.

1. прямым параллельным m разрядным кодом на m разрядную шину (Рис. 72.). Для вывода информации подается сигнал $T_{выв\ пр.пар.}$ высокого уровня. Причем сигнал $T_{выв\ пр.пар.}$ должен быть подан после сигнала $T_{зап.}$ (должно соблюдаться условие $T_{зап} * T_{выв\ пр.пар.} = 0$) и необходимо учитывать время задержки самого триггера, на котором реализован регистр.

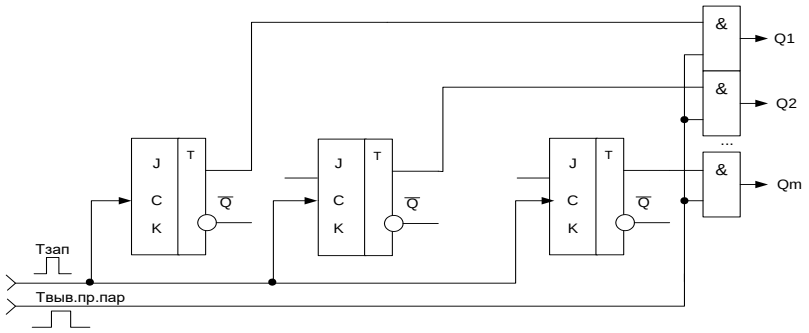


Рис. 72. Вывод информации прямым m разрядным кодом на m разрядную шину

2. обратным параллельным m разрядным кодом на m разрядную шину (в обратном коде на одну шину) (рис. 72.). Для вывода информации подается сигнал $T_{выв\ об.пар.}$ высокого уровня. При подаче управляющих сигналов должно соблюдаться условие должно соблюдаться условие $T_{зап} * T_{выв\ об.пар.} = 0$

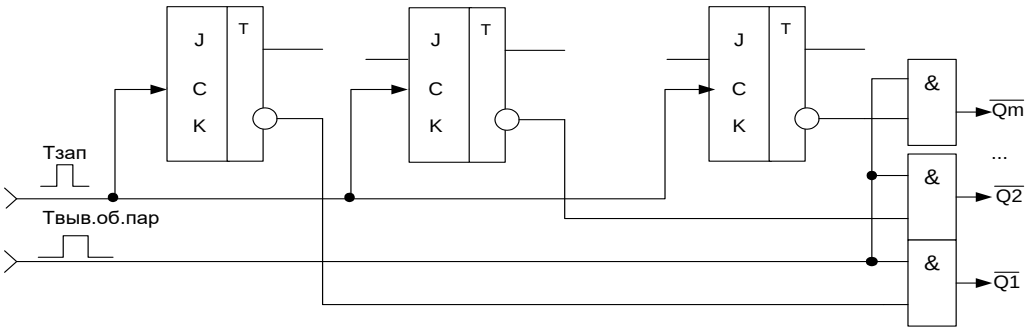


Рис. 73. Вывод информации обратным m разрядным кодом на m разрядную шину

3. прямым или обратным параллельным m разрядным кодом на m разрядную шину (рис.73.). Сигналы $T_{выв.пр}$ и $T_{выв.обр}$. подаваться вместе не могут, т.е. должно соблюдаться условие $T_{выв.пр} * T_{выв\ обр.} = 0$. Кроме этого сигналы вывода должны подаваться после сигнала записи (на примере показана запись параллельным прямым кодом) с учетом задержки триггера (в данном примере триггер D) аналогично схемам представленным на рис.73. и рис. 74. В зависимости от поданного в данный момент времени сигнала вывода выход Y_i соответствует прямому (Q_i) или обратному ($-Q_i$) кодам.

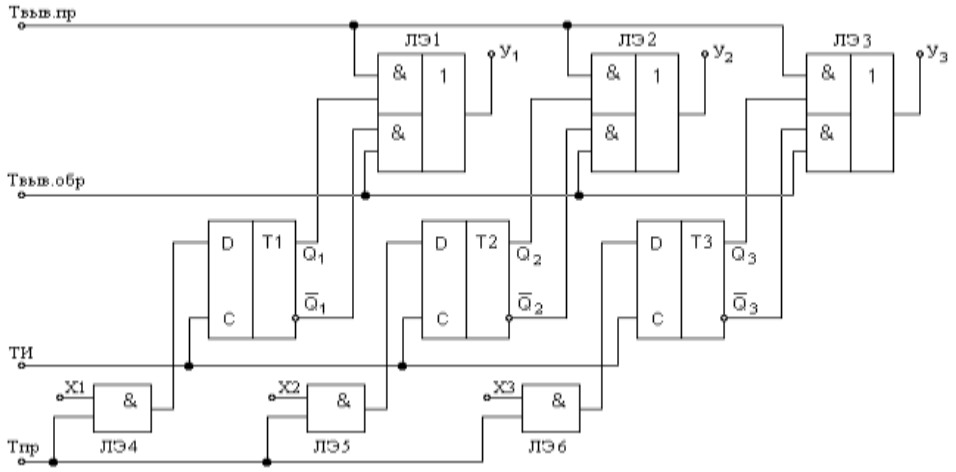


Рис. 74. Вывод информации прямым или обратным m разрядным кодом на m разрядную шину

4. парафазным m разрядным кодом (прямой m разрядный код на одну шину, обратный m разрядный код – на другую шину). Из Рис.75. видно, что при подаче управляющего сигнала $T_{выв.параф.}$ на одну шину m разрядную шину выводится прямой код числа, а на вторую m разрядную шину выводится обратный код числа. Для корректной работы схемы должно соблюдаться условие

$$T_{зап} * T_{выв\ параф.} = 0$$

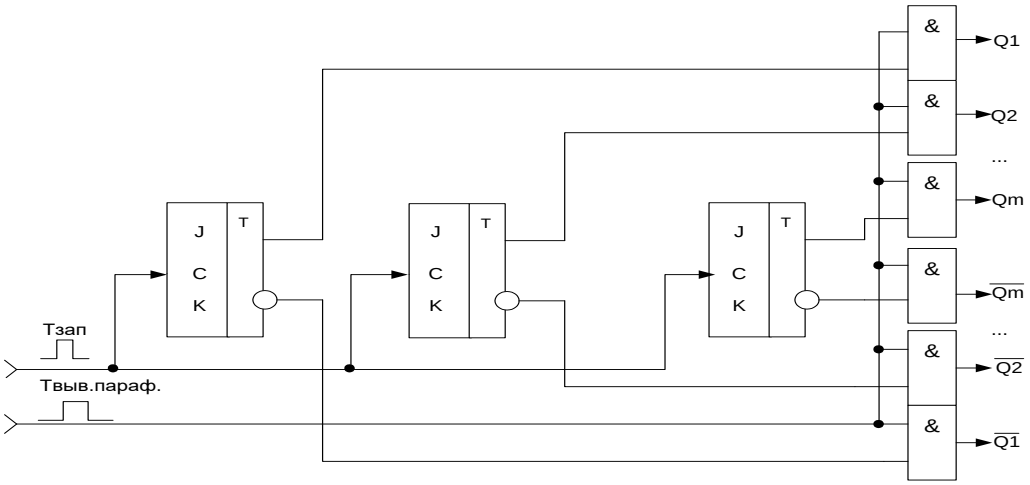


Рис. 75. Вывод информации парафазным m разрядным кодом

Все перечисленные способы действительны и для последовательного вывода информации из регистра.

Индивидуальные задания

Задание 1. Согласно заданному преподавателем варианту нарисуйте схему и диаграмму работы указанного в таблице 4-х разрядного регистра.

Вариант	**Триггер**	**Тип ввода**	**Тип вывода**	**Вводимые данные**
1	**2**	**3**	**4**	**5**
1	DC с установочн ыми -RS	Параллельным кодом с предварительной установкой в 0 (высоким)	Со старшего в прямом коде с обнулением регистра	0111
2	DC с установочн ыми R-S	Парафазным	С младшего в прямом с обнулением регистра	1010
3	DC с установочн ыми –R-S	Параллельным кодом с предварительной	Парафазным со старшего с обнулением регистра	1100

		установкой в 15_{10} (низким)		
4	DC с установочными RS	В прямом с младшего	В прямом или обратном коде на 4-х разрядную шину	1000
5	CJK с установочными -RS	Параллельным кодом с предварительной установкой в 0 (низким)	В прямом или обратном коде со старшего с обнулением регистра	1010
6	CJK с установочными –R-S	Параллельным кодом с предварительной установкой в 0 (высоким)	Парафазным со старшего	0011
7	CJK с установочными R-S	Парафазным	В обратном коде со старшего с обнулением регистра	1101
8	CJK с установочными -RS	В обратном с младшего	Парафазным	1101
9	Асинхронный JK	В прямом со старшего	В обратном или прямом коде на 4-х разрядную шину	0010
10	Асинхронный -JK	В прямом с младшего	Парафазным	1000
11	Асинхронный J-K	Парафазным	В обратном коде с младшего	0001
12	T с установочными –RS	В обратном со старшего	Парафазный на две шины	0101

1	2	3	4	5
13	T с установочными -R-S	В прямом со старшего	В прямом или в обратном коде на 4-х разрядную шину	0110
14	T с установочными R-S	В обратном с младшего	Парафазным	0100
15	T с установочными RS	В обратном с младшего	В обратном коде на две 4-х разрядные шины	1010
16	D	Параллельным кодом в прямом	В прямом коде на две 4-х разрядные шины	1011
17	Синхронный JK без установочны	Параллельным кодом с предварительной установкой в 0 (высоким)	В прямом с младшего с обнулением регистра	1100
18	-C-JK с установочными R-S	Параллельным кодом с предварительной установкой в 0 (низким)	В прямом со старшего с обнулением регистра	1101
19	-CJ-K без установочных	Парафазным	В прямом или обратном кодах со старшего	0100
20	-CJK с установочными установочных -RS	Параллельным кодом с предварительной установкой в 0 низким)	В прямом с младшего с обнулением регистра	0101
21	-C-J-K с установочными установочных –R-S	Параллельным кодом с предварительной установкой в 0 (высоким)	В прямом с младшего с обнулением регистра	0011

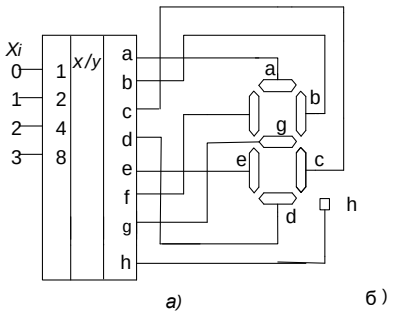
Контрольные вопросы

1. Что такое регистр?
2. Какие регистры Вы знаете?
3. Для чего предназначены регистры памяти?
4. На каких триггерах строятся регистры памяти?
5. Какие способы ввода информации в регистр построенный на триггерах с установочными входами Вы знаете?
6. Нарисуйте функциональную схему регистра с параллельным приемом и параллельной выдачей информации.
7. Нарисуйте функциональную схему регистра с последовательным приемом и последовательной выдачей информации.
8. Нарисуйте функциональную схему регистра с последовательным приемом и параллельной выдачей информации и.
9. Нарисуйте функциональную схему регистра с параллельным приемом и последовательной выдачей информации.
10. Нарисуйте функциональную схему реверсивного регистра.
11. Какие регистры памяти относятся к тактируемым регистрам?
12. Какие регистры памяти относятся к стробируемым регистрам?
13. Нарисуйте схему регистра памяти с однофазным вводом информации (в прямом коде).
14. Нарисуйте схему регистра памяти в который информация вводится парафазным кодом.
15. Нарисуйте условное обозначение и таблицу истинности регистра ИР22. Поясните его работу.
16. Нарисуйте условное обозначение и таблицу истинности регистра ИР27. Поясните его работу.
17. Нарисуйте условное обозначение и таблицу истинности регистра ИР37. Поясните его работу.
18. Какие регистры называются сдвиговыми? Назовите режимы их работы.

19. Нарисуйте условное обозначение и таблицу истинности регистра ИР8. Поясните его работу.
20. На примере регистра ИР8 объясните увеличение разрядности.
21. Нарисуйте условное обозначение и таблицу истинности регистра ИР24. Поясните его работу.
22. На примере регистра ИР24 объясните увеличение разрядности.
23. Какие способы вывода информации Вы знаете?
24. Нарисуйте схему вывода m разрядного числа из регистра в прямом коде со старшего разряда на одну шину.
25. Нарисуйте схему вывода m разрядного числа из регистра в обратном коде с младшего разряда на одну шину.
26. Нарисуйте схему вывода m разрядного числа из регистра в прямом или обратном коде со старшего разряда на одну шину.
27. Нарисуйте схему вывода m разрядного числа из регистра в прямом или обратном коде с младшего разряда на одну шину.
28. Нарисуйте схему вывода m разрядного числа из регистра в прямом и обратном коде (парафазным кодом) с младшего разряда.

7. Кодопреобразователи

Общие сведения. Операция изменения кода числа называется его преобразованием. Интегральные микросхемы, выполняющие эти операции, называются преобразователями кодов. Интегральные микросхемы преобразователей кодов выпускаются только для наиболее распространённых операций таких как преобразователи двоичного кода в десятичный, двоично – десятичный, шестнадцатеричный, код Грея или обратных, указанным выше, преобразований. По своей структуре преобразователи кодов являются дешифраторами, только они преобразуют двоичный код в сигналы не только на одном, но и на нескольких выходах. В качестве примера рассмотрим преобразователь двоичного кода в код управления 7 – сегментным цифровым индикатором. На рисунке 76, приведена схема подключения индикатора. Индикатор представляет собой полупроводниковый прибор, в котором имеется восемь сегментов, выполненных из светодиодов. Включением и выключением отдельных сегментов можно получить светящееся изображение отдельных цифр или знаков. Конфигурация и расположение сегментов индикатора показаны на рисунке 6.1766а. Каждой цифре соответствует свой набор включения определённых сегментов индикатора. Соответствующая таблица отображения цифр и десятичной разделительной точки приведена на рисунке 76,б.



Символ	(Yi) сегменты a	b	c	d	e	f	g	h
0	1	1	1	1	1	1	0	0/1
1	0	1	1	0	0	0	0	0/1
2	1	1	0	1	1	0	1	0/1
3	1	1	1	1	0	0	1	0/1
4	0	1	1	0	0	1	1	0/1
5	1	0	1	1	0	1	1	0/1
6	1	0	1	1	1	1	1	0/1
7	1	1	1	0	0	0	0	0/1
8	1	1	1	1	1	1	1	0/1
9	1	1	1	1	0	1	1	0/1

Рис.76. Преобразователь двоичного кода в код 7 – сегментного индикатора:

а) – Схема подключения индикатора; б) – Таблица состояний.

По внутренней схеме включения индикаторы подразделяются на индикаторы с общим катодом и с общим анодом. Схемы обоих видов индикаторов приведены на рисунке 77,а и 77,б соответственно. Существует широкая гамма различных модификаций семисегментных индикаторов. Они отличаются друг от друга размерами, цветом свечения, яркостью, расположением выводов.

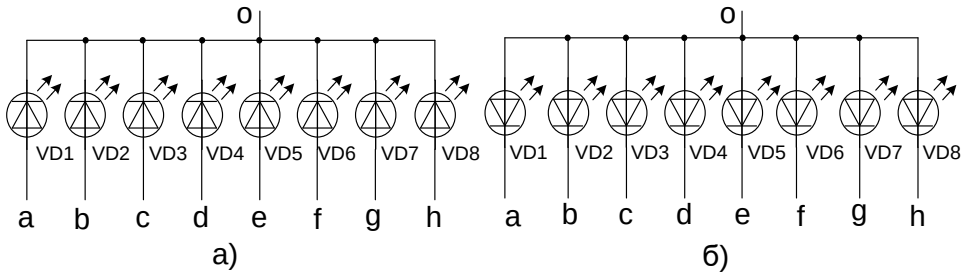


Рис.77. Схемы индикаторов: а) – с общим катодом; б) – с общим анодом.

Для управления индикатором с общим катодом используется, например, дешифратор К514ИД1, а с общим катодом – К514ИД2. Используются микросхемы дешифраторов и других серий, например, 176ИД2, 176ИД3, 564ИД4, 564ИД5, К133ПП1 и др. *Шкальные индикаторы (светящиеся столбики)* представляют собой линейку светодиодов с одним общим анодом или катодом. Они являются аналогами щитовых измерительных приборов и служат для отображения непрерывно изменяющейся информации. Светящиеся шкалы могут быть установлены на приборном щитке автомобиля или самолёта для индикации уровня горючего в баке, скорости движения и других параметров. Удобна конструкция в виде расположенных рядом столбиков для индикации величин с целью их сравнения. Преобразователи двоичного кода в код управления шкальным индикатором обеспечивают перемещение светящегося пятна, определяемое двоичным кодом на адресном входе. *Матричные индикаторы* представляют собой наборы светодиодов, расположенных по строкам и столбцам. Наиболее распространённые матричные

индикаторы имеют 5 столбцов и 7 строк (формат 5x7). Количество светодиодов таких индикаторов равно 35. Для управления матричными индикаторами выпускаются микросхемы, в которых положение светодиода задаётся номерами строки и столбца, причём не все комбинации используются. Такие преобразователи кодов называются неполными. К ним относятся, например, микросхемы К155ИД8 и К155ИД9. Микросхемы преобразователей кодов (с английского converter) служат для преобразования входных двоичных кодов в выходные двоично-десятичные и наоборот - входных двоично-десятичных кодов в выходные двоичные. Они используются довольно редко, так как применение двоично-десятичных кодов ограничено узкой областью, например, они применяются в схемах многоразрядной десятичной индикации. К тому же при правильной организации схемы часто можно обойтись без преобразования в двоично-десятичный код, например, выбирая счетчики, работающие в двоично-десятичном коде. Преобразование двоично-десятичного кода в двоичный код встречается еще реже. На схемах микросхемы преобразователей обозначаются буквами X/Y. В отечественных сериях преобразователи имеют обозначения ПР. Кроме того, надо учесть, что любые преобразования параллельных кодов, даже самые экзотические, могут быть легко реализованы на микросхемах постоянной памяти нужного объема. Обычно это намного удобнее, чем брать стандартные микросхемы преобразователей кодов.

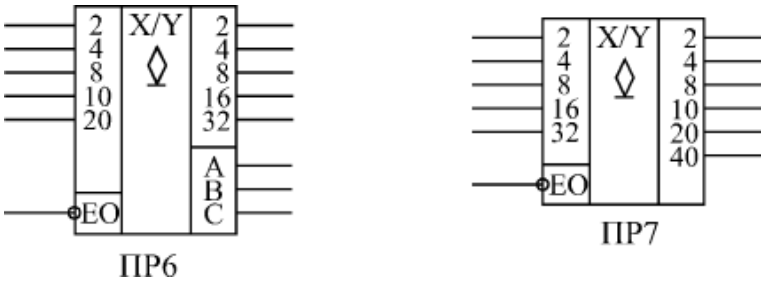


Рис. 78. Микросхемы преобразователей кодов

В стандартные серии входят две микросхемы преобразователей кодов:

- ПР6 для преобразования двоично-десятичного кода в двоичный;

- ПР7 для преобразования двоичного кода в двоично-десятичный (рис. 78).

Обе микросхемы имеют выходы ОК, поэтому к ним надо присоединять нагрузочные резисторы величиной около 1 кОм, но для удобства в дальнейших схемах эти резисторы не показаны. Обе микросхемы имеют также вход разрешения выхода -ЕО при нулевом уровне на котором все выходы активны, а при единичном - переходят в состояние единицы. Преобразователь ПР6 имеет дополнительные выходы А, В, С, не участвующие в основном преобразовании. Простейшие схемы включения одиночных микросхем ПР6 и ПР7 приведены на рис. 79.

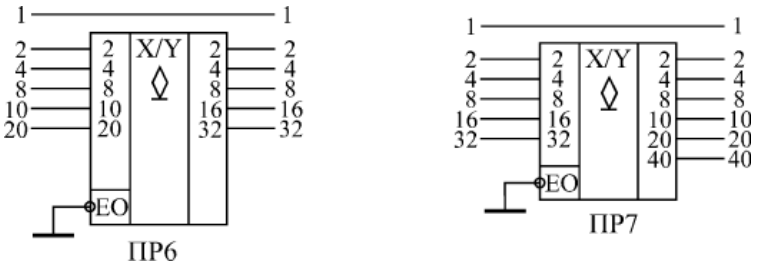


Рис. 79. Простейшее включение одиночных преобразователей кода ПР6 и ПР7

Для преобразования двоично-десятичных кодов от 0 до 99 достаточно двух микросхем ПР6 (Рис. 80), а для преобразования двоичных кодов от 0 до 255 требуется три микросхемы ПР7 (Рис. 81). Если надо преобразовывать двоично-десятичные коды до 999, то понадобится 6 микросхем ПР6, а для преобразования двоичных кодов до 511 потребуется 4 микросхемы ПР7.
На всех выходах микросхем необходимо включать нагрузочные резисторы.

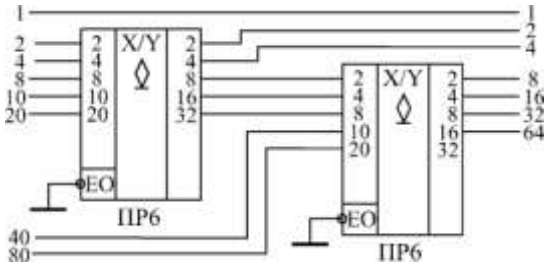


Рис. 80. Преобразователь двоично-десятичного кода от 0 до 99 в двоичный код

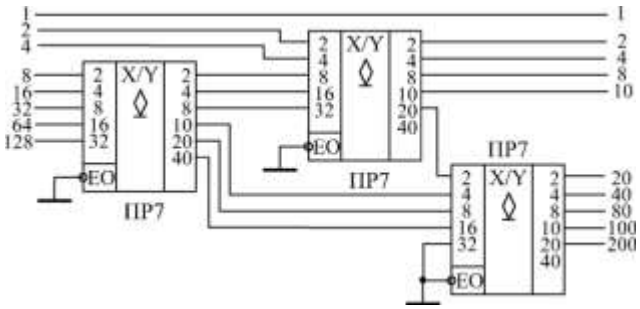


Рис. 81. Преобразователь двоичного кода от 0 до 255 в двоично-десятичный код

Наличие дополнительных выходов A, B, C у микросхемы ПР6 позволяет преобразовывать двоично-десятичный код от 0 до 9 в код дополнения до 9 или до 10 (Рис. 82). То есть сумма входного и выходного кодов в этом случае равна, соответственно, 9 или 10. Например, при входном коде 6 на выходе схемы а будет код 3, а на выходе схемы б - код 4. В схеме б при входном коде 0 на выходе также формируется код 0. Как и все остальные выходы микросхемы ПР6, выходы A, B, C имеют тип ОК, поэтому к ним необходимо присоединять нагрузочные резисторы, для удобства не показанные на схеме.

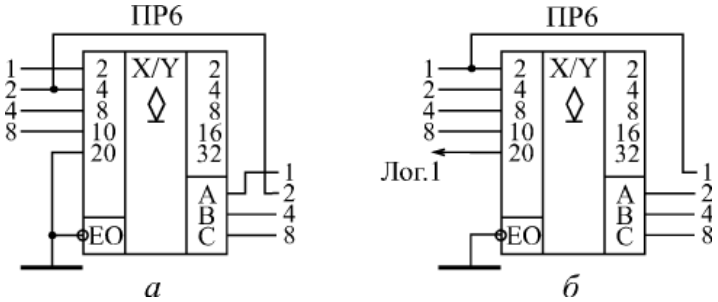


Рис. 82. Преобразователи входного кода в дополнение до 9 (а) и в дополнение до 10 (б)

Задержки преобразователей кодов примерно вдвое превосходят задержки логических элементов. Точные величины задержек надо смотреть в справочниках. В описанных АЦП цифры (0 или 1) в разрядах выходного кода могут в процессе преобразования многократно изменяться, так как устанавливаются в ходе постепенного накопления числа в счетчике. При рассматриваемом преобразовании формируемый код последовательно приближается к своему полному выражению: вначале определяется цифра в

старшем n-ом разряде, затем в (n–1)-ом и т.д. до младшего разряда. Такая возможность формирования основана на свойствах натурального двоичного кода: веса единиц в соседних разрядах отличаются вдвое; единица в старшем разряде имеет вес, больший половины веса всего кода; единица в соседнем разряде имеет вес, больший четверти веса всего кода, и т. д. Например, вес кода 1111_2 равен 15; вес единицы в четвертом разряде равен 8, что больше 0,5·15; вес единицы в третьем разряде равен 4, что больше 0,25·15, и т.д. Поэтому для определения цифры в старшем разряде формируемого кода надо сравнить $U_{вх}$ с $0{,}5U_m$ – половиной максимального для данного АЦП значения $U_{вх}$. Если окажется, что $U_{вх}<0{,}5U_m$, то в старшем разряде кода – цифра 0, и дальнейшее сравнение $U_{вх}$ надо производить с $0{,}25U_m$. Если же $U_{вх}>0{,}5U_m$, то в старшем разряде кода цифра 1; при этом последующее сравнение следует производить с $(1/2+1/4)U_m$ и т.д. На рис. 10.8 изображена схема устройства, реализующая изложенный принцип. Код, соответствующий выборке входного аналогового сигнала, формируется на выходах регистра кода РК. В каждый разряд этого регистра, начиная со старшего разряда, по входам S последовательно записывается логическая 1 с соответствующего выхода сдвигового регистра РС. Одновременно она поступает на верхний (по схеме) вход конъюнктора К, принадлежащий данному разряду РК. Каждая записанная 1 “испытывается” на соответствие выборке входного сигнала. Для этого код с выходов РК в процессе формирования преобразуется цифроаналоговым преобразователем в напряжение ($U_{ЦАП}$), которое сравнивается на аналоговом компараторе с выборкой преобразуемого напряжения $U_{вх}$. Если $U_{вх}>U_{ЦАП}$, то на выходе компаратора присутствует логический 0, и после конъюнкторов $К_n…К_1$ на входах R регистра РК – логические нули, которыми разряды РК не сбрасываются: в проверяемом разряде остается записанной 1. Если $U_{вх}<U_{ЦАП}$, то на выходе компаратора логическая 1 – на обоих входах компаратора проверяемого разряда логические единицы, которыми этот разряд сбрасывается в нуль, остальные разряды кода

сохраняются. Логическая 1 на выходах РС появляется поочередно: на выходе n – с приходом тактового импульса (импульса дискретизации входного аналогового сигнала) на вход D_n, на выходах n–1, n–2,... – в момент окончания сдвигающего импульса на динамическом входе С. Очередной цикл преобразования выборки входного сигнала начинается с поступлением тактового импульса; кроме записи 1 в старший n-ый разряд РК он обнуляет все его остальные разряды (по второму входу R), записывает 1 по входу D_n в n-й разряд РС, а также переключает триггер циклов в состояние 1, после чего сдвигающие импульсы начинают поступать на С-вход РС. В конце цикла (после сформирования выходного кода) логической 1 с выхода первого разряда РС триггер цикла переключается в 0 и цепь связи ГСИ–РС прерывается. С поступлением следующего тактового импульса начинается цикл преобразования следующей выборки входного сигнала. Заметим, что в соответствии с методом преобразования рассмотренный АЦП называют преобразователем поразрядного кодирования.

Пример №1.

Определим код на выходе рассмотренного АЦП при следующих данных: $U_{вх}$ = 8,5 В, разрядность АЦП n = 10, опорное напряжение АЦП $U_{оп}$ =10,24 В.

Напряжение $U_{оп}$ делится квантованными уровнями на 2^n-1 квантов, величина каждого из которых

$\Delta U = U_{оп} / 2^n - 1$.

Решение:

В данном случае ΔU = 10,24/1024-1≈ 10,24 / 1024=10мВ.

Такое приращение $\Delta U_{цап}$ выходное напряжение цифроаналогового преобразователя (в структуре АЦП) получает от приращения входного кода на единицу (от единицы в младшем разряде кода). Приращение напряжения $U_{цап}$ от единицы в k-ом разряде равно величине кванта (в данном случае 10мВ), умноженной на вес единицы в этом разряде. Ниже приведены вес единицы в разрядах 10-разрядного кода и напряжение, которое она добавляет к $U_{цап}$.

# разряда	Вес единицы	$\Delta U_{цап}$,В
10	512	5,12
9	256	2,56
8	128	1,28
7	64	0,64
6	32	0,32
5	16	0,16
4	8	0,08
3	4	0,04
2	2	0,02
1	1	0,01

В соответствии с алгоритмом работы кодоимпульсного АЦП проведем сравнение $U_{вх}$ с значениями $\Delta U_{цап}$, компенсирующими напряжение $U_{вх}$. Если $U_{вх} > U_{цап}$, то против соответствующего неравенства будет проставлена единица.

8,5> 5,12 1

8,5> 5,12+2,56=7,68 1

8,5< 7,68+1,28=8,96 0

8,5> 7,68+0,64=8,32 1

8,5< 8,32+0,32=8,64 0

8,5> 8,32+0,16=8,48 1

8,5< 8,48+0,08=8,56 0

8,5< 8,48+0,04=8,52 0

8,5= 8,48+0,02=8,50 1

Таким образом, код на выходах АЦП $N=1101010010_2= 850_{10}$. Учитывая, что каждая единица кода соответствует кванту в 10 мВ, фиксируем входное напряжение равным 8,5 В.

Задание для самостоятельной работы:

№ варианта	$U_{вх}$ (В)	n	$U_{оп}$ (В)
1	1,5	6	3
2	3	10	5
3	5	16	9
4	9	6	12
5	12	10	24
6	24	16	36
7	1,5	6	3
8	3	10	5
9	5	16	9
10	9	6	12
11	12	10	24
12	24	16	36
13	1,5	6	3
14	3	10	5
15	5	16	9
16	9	6	12
17	12	10	24
18	24	16	36
19	1,5	6	3
20	3	10	5

Контрольные вопросы

1. Какие преобразователи кодов Вы знаете?
2. Поясните работу преобразователя кода на примере микросхемы ПР6.
3. Как выполняется каскадирование преобразователей

8. Счетчики

Общие сведения. Счетчик представляет собой устройство, которое осуществляет счет сигналов, поступающих на его вход, и хранение накапливаемой величины.

В основе любого счетчика лежат триггеры, но в счетчиках триггеры соединены более сложными связями.

Внутренняя память счетчиков - оперативная, то есть ее содержимое сохраняется только до тех пор, пока включено питание схемы.

В цифровых приборах счетчик используется для формирования последовательности чисел, для деления частоты и для подсчета количества сигналов.

Как следует из самого названия, счетчики предназначены для счета входных импульсов. То есть с приходом каждого нового входного импульса двоичный код на выходе счетчика увеличивается (или уменьшается) на единицу (Рис. 83). Срабатывать счетчик может по отрицательному фронту входного (тактового) сигнала (как на рисунке) или по положительному фронту.

Режим счета обеспечивается использованием внутренних триггеров, работающих в счетном режиме. Выходы счетчика представляют собой выходы триггеров. Каждый выход счетчика представляет собой разряд двоичного кода, причем разряд, переключающийся чаще других (по каждому входному импульсу), будет младшим, а разряд, переключающийся реже других, - старшим.

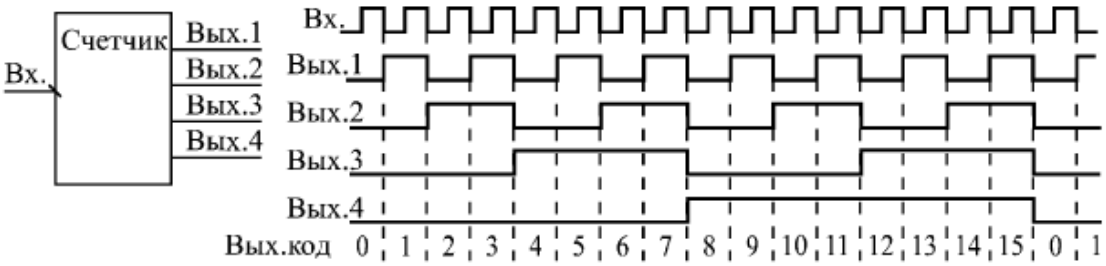


Рис. 83. Работа 4-разрядного двоичного счетчика

Число разрядов счетчика определяется максимальной разрядностью числа, которое должно в нем храниться. Двоичный N разрядный счетчик имеет 2^N различных состояний. Каждому состоянию счетчика соответствует двоичное число, начиная от 0 до N -1.

Счетчик, образованный цепочкой из m триггеров может подсчитать в двоичном коде 2^m импульсов т.е. его коэффициент (модуль) счета $К_{сч} = 2^m$. Каждый из триггеров называется разрядом счетчика.

К основным параметрам счетчика кроме $К_{сч}$ относятся разрешающая способность ($t_р$) и время установления кода ($t_{уст}$).

Разрешающая способность – минимально допустимый интервал времени между входными импульсами при котором еще не происходит сбоя, т.е. пропус как счета сигналов.

Время установки кода – это интервал времени меду моментом поступления на вход импульса счета и моментом завершения перехода счетчика в нулевое состояние.

По направлению счета счетчики классифицируются следующим образом:

- суммирующие,
- вычитающие,
- реверсивные.

Суммирующие счетчики работают на увеличение выходного кода по каждому входному импульсу; это основной режим, имеющийся во всех счетчиках, он называется режимом прямого счета.

По модулю счета счетчики делятся на:

- двоичные,
- двоично-десятичные,
- с произвольным модулем счета;

Большинство счетчиков работают в обычном двоичном коде (двоичные счетчики), то есть считают от 0 до (2N–1), где N - число разрядов выходного

кода счетчика. 4-разрядный счетчик в режиме прямого счета будет считать от 0 (код 0000) до 15 (код 1111). После максимального значения кода счетчик по следующему входному импульсу переключается опять в 0, то есть работает по кругу. Если же счет - инверсный, то счетчик считает до нуля, а дальше переходит к максимальному коду 111...1.

В двоично-десятичных счетчиках предельный код на выходе не превышает максимального двоично-десятичного числа, возможного при данном количестве разрядов. Например, 4-разрядный двоично-десятичный счетчик в режиме прямого счета будет считать от 0 (код 0000) до 9 (код 1001), а затем снова от 0 до 9.. При инверсном счете двоично-десятичные счетчики считают до нуля, а со следующим входным импульсом переходят к максимально возможному двоично-десятичному числу (то есть 9 - для 4-разрядного счетчика).

Двоично-десятичные счетчики удобны, например, при организации десятичной индикации их выходного кода.

По способу организации внутренних связей счетчики классифицируются как:

- с последовательным переносом (асинхронные счетчики),
- с параллельным переносом (синхронные счетчики),
- с комбинированным переносом,
- кольцевые.

Классификационные признаки независимы и могут встречаться в различных сочетаниях, например, счетчик может быть двоичный суммирующий с параллельным переносом.

Принципиальные различия между этими группами проявляются только на втором уровне представления, на уровне модели с временными задержками. Причем больше всего различия эти проявляются при каскадировании счетчиков. Наибольшим быстродействием обладают синхронные счетчики, наименьшим - асинхронные счетчики, наиболее просто управляемые среди других. Каждая группа счетчиков имеет свои области применения.

Счетчики с последовательным переносом (асинхронные счетчики). **Асинхронные счетчики строятся из простой цепочки триггеров, каждый из которых работает в счетном режиме. Выходной сигнал каждого триггера служит входным сигналом для следующего триггера. Поэтому все разряды (выходы) асинхронного счетчика переключаются последовательно (отсюда название - последовательные счетчики), один за другим, начиная с младшего и кончая старшим. Каждый следующий разряд переключается с задержкой относительно предыдущего.**

Чем больше разрядов имеет счетчик, тем большее время ему требуется на полное переключение всех разрядов. Задержка переключения каждого разряда примерно равна задержке триггера ($t_{зд.тр}$), а полная задержка установления кода на выходе счетчика равна задержке одного разряда, умноженной на число разрядов счетчика.

При периоде входного сигнала, меньшем полной задержки установления кода всего счетчика, правильный код на выходе счетчика не успеет установиться. Это накладывает жесткие ограничения на период (частоту) входного сигнала ($F_{сч}$), причем увеличение, к примеру, вдвое количества разрядов счетчика автоматически уменьшает вдвое предельно допустимую частоту входного сигнала.

Суммирующие счетчики. Процесс двоичного счета может быть описан посредством таблицы последовательности чисел, в которой каждое число соответствует определенному состоянию счетчика. Состояние 3-х разрядного суммирующего счетчика описывается таблицей 7.1.

Исходным состоянием такого счетчика является нулевое состояние.

На вход счетчика поступает последовательность счетных сигналов T_0.

Из таблицы следует, что с приходом очередного счётного импульс T_0 к содержимому счётчика прибавляется единица. При этом увеличивается на

единицу номер состояния, являющийся десятичным эквивалентом соответствующего данному состоянию двоичного числа.

Изменение состояния каждого последующего разряда происходит при изменении состояния предыдущего разряда от 1 к 0. Это означает, что всякий раз, когда данный триггер в счётчике переходит из состояния 1 в состояние 0, на его выходе должен формироваться сигнал переноса, вызывающий срабатывание следующего триггера. Если же данный триггер переходит из 0 в 1, то сигнала переноса на его выходе не должно быть.

Из таблицы.7.1 также следует, что триггер первого, самого младшего разряда, должен менять своё состояние каждый раз с приходом очередного счётного импульса, а триггер каждого последующего разряда - вдвое реже триггера предыдущего разряда.

Таблица 1

Процесс двоичного счета суммирующего счетчика

Номер состояния	Q2	Q1	Q0	T0
0	0 0	0 0	0 0	0 1
1	0 0	0 0	1 1	0 1
2	0 0	1 1	0 0	0 1
3	0 0	1 1	1 1	0 1
4	1 1	0 0	0 0	0 1
5	1 1	0 0	1 1	0 1
6	1 1	1 1	0 0	0 1
7	1 1	1 1	1 1	0 1

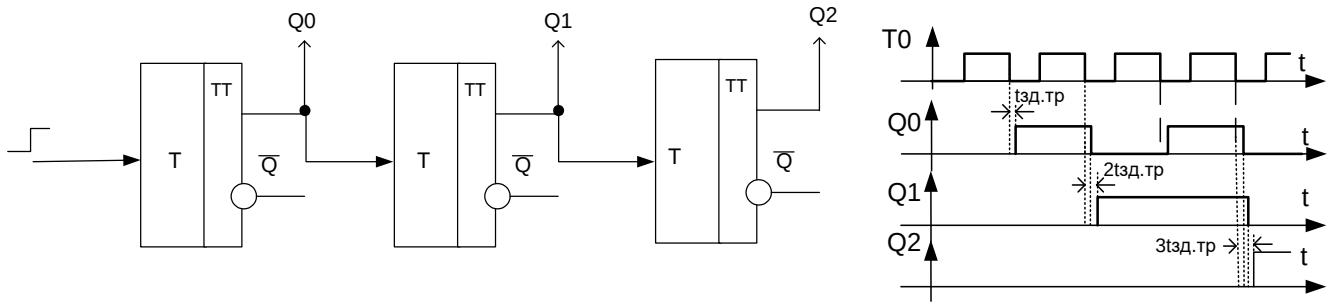
Описанные порядок смены состояний счётчика и характер процесса их установления могут быть реализованы, если счётчик будет построен на последовательно соединённых Т-триггерах.

Каждый последующий разряд при этом будет переключаться сигналом переноса, формируемым на выходе предыдущего разряда.

Счётные импульсы должны быть поданы на вход триггера самого младшего разряда.

Счётчики, построенные таким образом, получили название счётчиков с последовательным переносом.

Схема суммирующего счетчика с последовательным переносом на Т – триггерах приведена на рис.84, а.



(а) *(б)*

Рис. 84. а-суммирующий счетчик с последовательным переносом,
б-диаграмма его работы

Диаграмма работы суммирующего счетчика представлена на рисунке (Рис.84, б).

Максимальная частота работы такого счетчика определяется максимально допустимой частотой переключения его младшего разряда.

Частота следования сигналов счета составляет $F_{сч} \leq 1/ (t_{сч} + t_{зд.тр})$.

Числа формируемые счетчиком могут быть выведены из него в параллельном коде (прямой или обратный) посредством одновременного опроса состояний всех разрядов счетчика. Такой опрос может происходить

только в паузе между сигналами счета, т.е. после того, как завершится переходной процесс, связанный с переключением триггерной схемы.

В этом случае минимальный период следования счетных импульсов должен быть увеличен на время, необходимое для полного переключения всех m-разрядов счетчика и опроса его состояния:

$T_{сч} \geq t_{сч} + m*t_{зд.т} + t_{опр}$, где

$t_{сч}$ – длительность счетного импульса T_0;

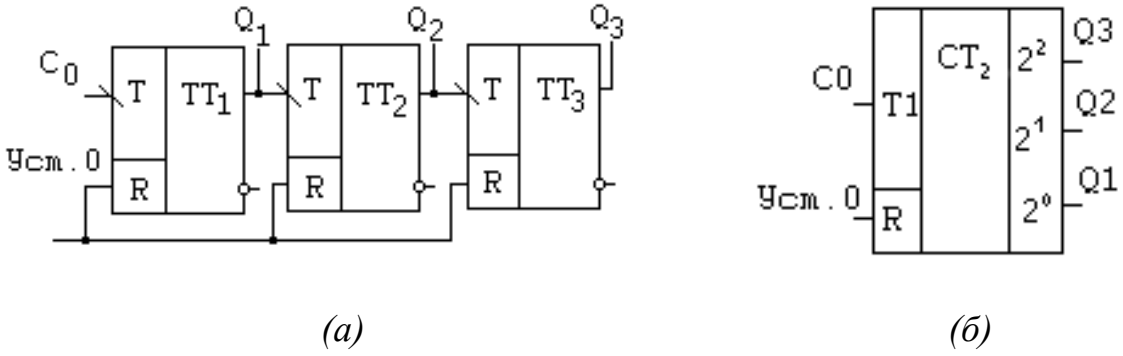
$t_{зд.т}$ – время переключения триггера;

$t_{опр}$ – длительность сигнала опроса.

На рис.85. представлена функциональная схема (а) и условное обозначение (б) суммирующего двоичного счетчика с последовательным переносом с предварительной установкой в нулевое состояние.

Для установки исходного состояния служит шина «Уст.0», в которой объединены установочные R-входы всех триггеров. Нулевое состояние триггеров устанавливается подаваемым по этой шине положительным импульсом напряжения между уровнями 0 и 1.

На левом поле условного графического обозначения счётчика (Рис.85,б) показано, что его входом является T_1 вход первого разряда, а на правом поле указан «вес» каждого разряда.



(а) *(б)*

Рис.85. Функциональная схема (а) и условное обозначение (б) суммирующего двоичного счетчика с последовательным переносом с предварительной установкой в нулевое состояние

Вычитающие счетчик. Вычитающий счётчик с последовательным переносом имеет обратный порядок смены состояний: с приходом очередного счётного импульса содержащееся в счётчике число уменьшается на единицу (табл.7.2).

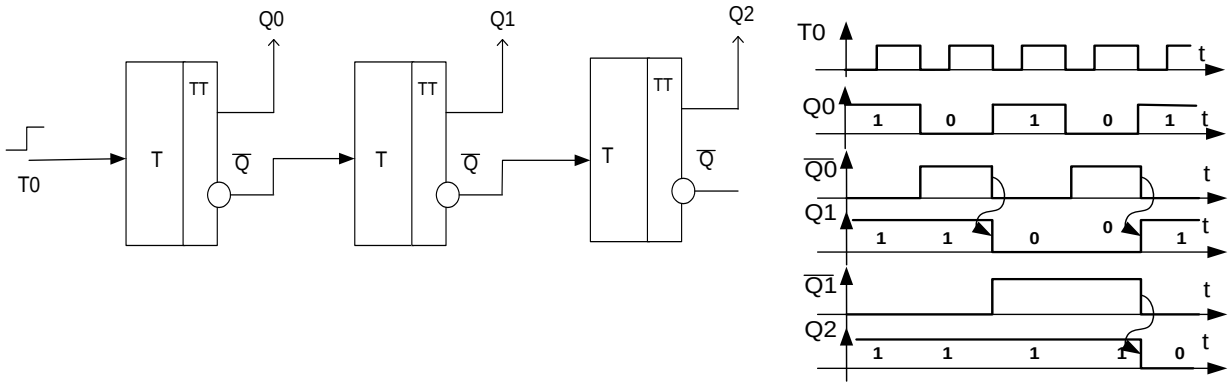
Таблица 2

Процесс двоичного счета вычитающего счетчика

Номер состояния	Q2	Q1	Q0	T0
0	1 1	1 1	1 0	0 1
1	1 1	1 0	0 1	0 1
2	1 1	0 0	1 0	0 1
3	1 0	0 1	0 1	0 1
4	0 0	1 1	1 0	0 1
5	0 0	1 0	0 1	0 1
6	0 0	0 0	1 0	0 1
7	0 1	0 1	0 1	0 1

Другая особенность вычитающего счётчика - триггер каждого последующего разряда переключается в противоположное состояние при изменении уровня на выходе триггера предыдущего разряда от 0 к 1, т.е. при сигнале займа, обратном сигналу переноса в суммирующем счётчике.

Строится вычитающий счётчик так же, как суммирующий, но с тем отличием, что со входом каждого последующего триггера в отличие от рис.86.а соединяется инверсный выход предыдущего триггера.



(а) *(б)*

Рис. 86, а-вычитающий счетчик с последовательным переносом, б-диаграмма его работы

Кроме суммирующих и вычитающих счетчиков имеются реверсивные счетчики.

Реверсивные счетчики изменяют направление счета под воздействием управляющего сигнала. На рис. 86 и 87 видно, что счетчики прямого и обратного счета различаются лишь точкой съема сигнала, подаваемого с предыдущего разряда на последующий. Если управляющий сигнал перестраивает межразрядные связи, перенося точку съема сигнала с одного выхода триггера на другой, то реализуется схема реверсивного счетчика (рис.87).

У асинхронных счетчиков (или счетчиками с последовательным переносом) каждый триггер переключается выходным сигналом предыдущего триггера. Временные состязания сигналов в таких счетчиках отсутствуют, поскольку триггеры переключаются поочередно, один за другим. Последовательные счетчики отличаются простотой схемы, но обладают низким быстродействием.

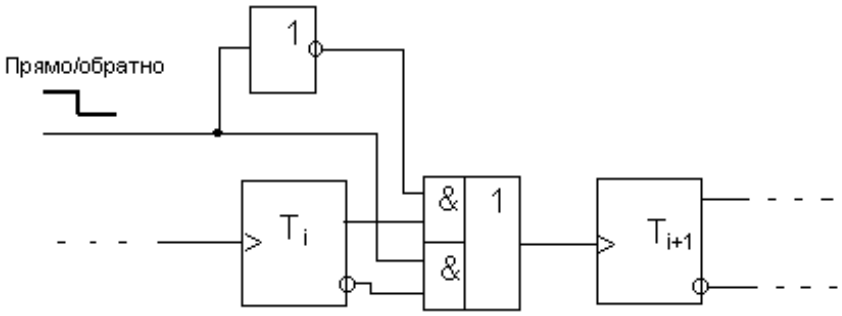


Рис. 87. Реверсивный счетчик

В составе стандартных серий цифровых микросхем асинхронных счетчиков немного. Для примера на рис.88 приведен 4-х разрядный двоичный счетчик ИЕ5;

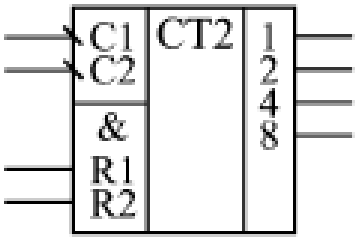


Рис. 88. ИС асинхронного счетчика ИЕ5

Счетчик ИЕ5 имеет две части: один триггер (одноразрядный счетчик) со входом С1 и выходом 1 и три триггера (трехразрядный счетчик) со входом С2 и выходами 2, 4, 8. Оба счетчика - двоичные, то есть первый считает до двух, а второй - до 8.

При объединении входа С2 с выходом 1 получается 4-разрядный двоичный счетчик, считающий до 16. Счет производится по отрицательному фронту входных сигналов С1 и С2. Предусмотрена возможность сброса счетчика в нуль по сигналам R1 и R2, объединенным по функции И.

Таблица истинности счетчика ИЕ5 при соединении входа С2 и выхода 1 (при 4-разрядном выходном коде) приведена в Таблице. 3.

Таблица7.3. Таблица истинности счетчика ИЕ5						
Выходы			**Выходы**			
C1	**R1**	**R2**	**8**	**4**	**2**	**1**
X	1	1	0	0	0	0
1→0	0	X	Счет			
1→0	X	0	Счет			

Увеличение разрядности асинхронных счетчиков. Для получения счетчика требуемой разрядности приходится объединять (каскадировать) несколько интегральных микросхем.

На рис. 89 показано соединение трех счетчиков ИЕ5 для получения 12-разрядного асинхронного счетчика со сбросом в нуль.

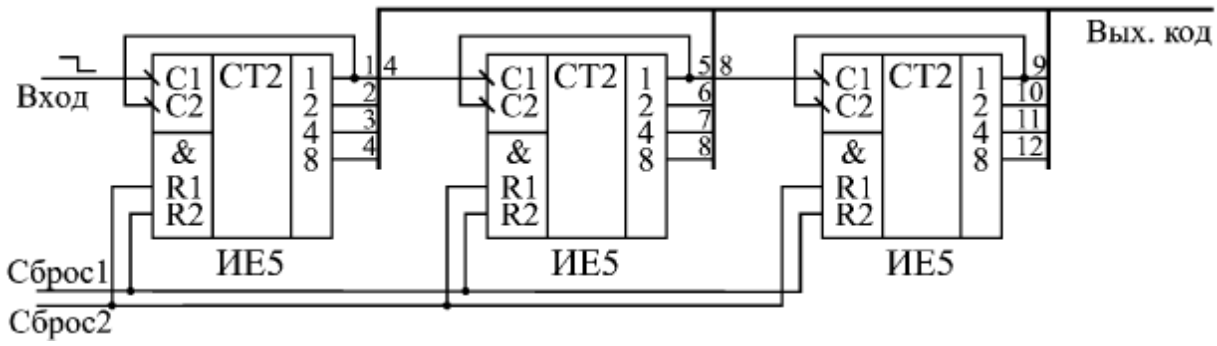


Рис. 89. Объединение трех счетчиков ИЕ5 для увеличения разрядности

Применение асинхронных счетчиков. Основное применение асинхронных счетчиков состоит в построении всевозможных делителей частоты, то есть устройств, выдающих выходной сигнал с частотой, в несколько раз меньшей, чем частота входного сигнала. В данном случае нас интересует не выходной код счетчика, то есть не все его разряды одновременно, а только один разряд..

Простейший пример такого делителя частоты на десять приведен на рис. 90. В делителе использован счетчик ИЕ2, у которого одноразрядный внутренний счетчик включен после трехразрядного внутреннего счетчика. Трехразрядный счетчик делит частоту входного сигнала на 5, но выходные импульсы имеют скважность, не равную двум (она равна 5).

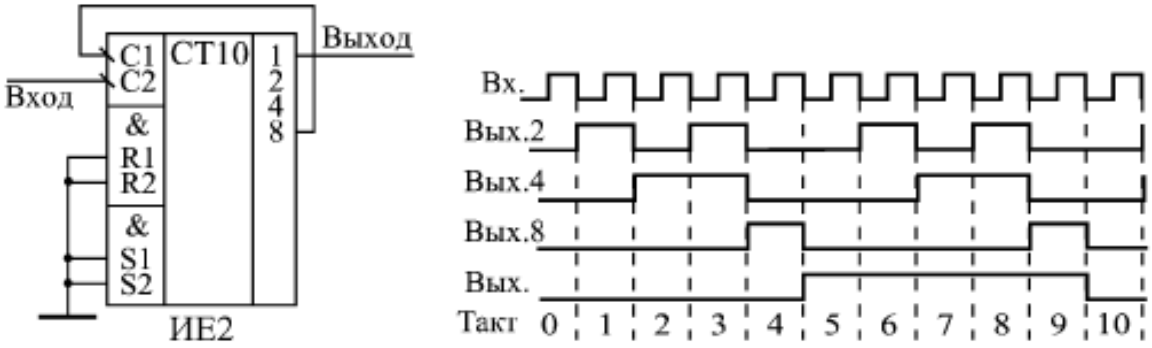


Рис. 90. Делитель частоты на 10

Иногда возникает задача деления частоты входного сигнала в произвольное число раз (не в 10 и не в 2n, что легко обеспечивается самой структурой стандартных счетчиков). В этом случае можно организовать сброс счетчика при достижении им требуемого кода путем введения обратных связей.

На Рис. 91. показан простейший делитель частоты на 9 на основе счетчика ИЕ9. При достижении его выходным кодом значения 9 (то есть 1001) счетчик автоматически сбрасывается в нуль по входам R_1 и R_2, и счет начинается снова. В результате частота выходного сигнала в 9 раз меньше частоты входного сигнала.

Если в числе, на которое надо делить частоту, больше двух единиц (например, 15, то есть 1111, или 13, то есть 1101), то для формирования сигнала сброса надо использовать элементы 2И, 3И или 4И, чтобы объединить все выходы, равные единице. В результате можно построить делитель входной частоты в любое число раз от 2 до 2N, где N - число разрядов используемого счетчика.

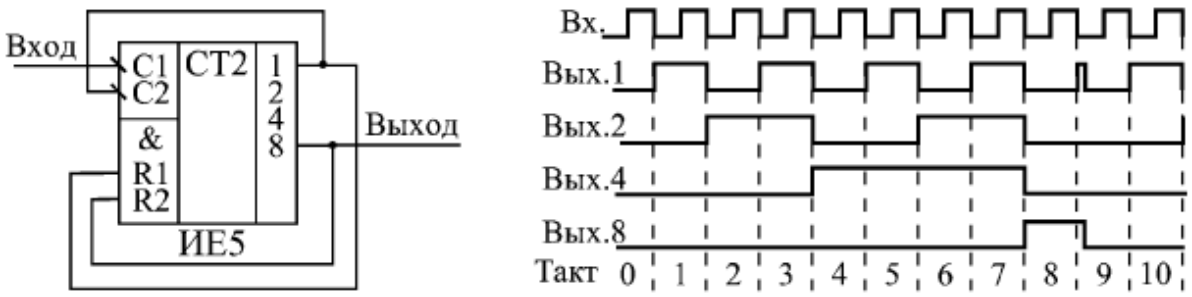


Рис. 91. Делитель частоты на 9 с обратными связями

Счетчики с параллельным переносом (синхронные счетчики). Из работы трёхразрядного счётчика с последовательным переносом следует, что в наихудшем случае новое его состояние устанавливается с задержкой, равной утроенной задержке переключения одного триггера, что вызвано последовательным во времени распространением сигнала переноса через все разряды счётчика.

Один из широко применяемых способов ускорения переноса в счётчике основан на введении логических элементов, с помощью которых достигается возможность одновременного (параллельного) формирования сигнала переноса для всех разрядов.

Для реализации этого способа применяют TV-триггеры. На T-входы всех триггеров одновременно подаются счётные импульсы, а на V-вход каждого триггера поступает сигнал переноса, формируемый логической схемой в виде уровня 1.

Пример суммирующего счётчика с параллельным переносом на TV - триггерах приведён на Рис.92.

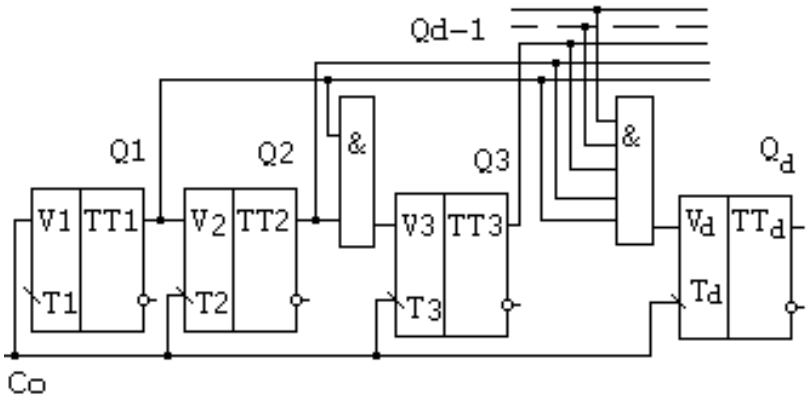


Рис.92. Суммирующий счетчик с параллельным переносом

Быстродействие этого счётчика выше, чем счётчика с последовательным переносом, поскольку оно равно быстродействию переноса одного разряда.

Недостаток - необходимость включения в схему элемента. И с нарастающим от разряда к разряду числом входов. Это нарушает регулярность структуры и ограничивает возможность наращивания его схемы. Частично этот недостаток можно устранить при использовании триггеров с входной логикой.

Многие серии микросхем содержат JK-триггеры с входной логикой. При реализации счётчика на таких триггерах исключаются дополнительные логические элементы в цепях переноса. Однако ограничение в числе разрядов остаётся. На таких триггерах можно построить лишь четырёхразрядный счётчик (Рис.93).

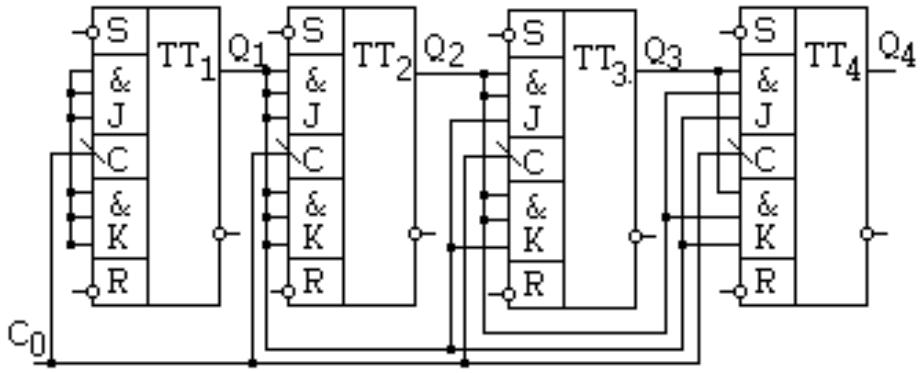


Рис.93. Счётчик на JK- триггерах с входной логикой

Вычитающий счётчик с параллельным переносом строится так же, как и суммирующий, но сигналы переноса снимаются с инверсных относительно используемых в суммирующем счётчике выходов триггеров.

Синхронные счетчики с асинхронным переносом. Синхронные счетчики с асинхронным переносом занимают промежуточное положение по быстродействию между асинхронными счетчиками и полностью синхронными счетчиками.

Основная суть их работы сводится к следующему: все разряды одного счетчика переключаются одновременно, но при каскадировании каждый следующий счетчик (имеющий более старшие разряды) переключается с задержкой относительно предыдущего счетчика (дающего более младшие разряды). То есть задержка переключения многоразрядного счетчика увеличивается в данном случае не с каждым новым разрядом (как у асинхронных счетчиков), а с каждой новой микросхемой (например, 4-разрядной). Сигнал переноса у этих счетчиков при прямом счете вырабатывается тогда, когда все разряды

Примером синхронного счетчика с асинхронным переносом может служить двоично-десятичный счетчик ИЕ6 (рис.94). Счетчик реверсивный, обеспечивает как прямой счет (по положительному фронту на входе +1), так и обратный счет (по положительному фронту на входе –1). При прямом счете отрицательный сигнал переноса вырабатывается на выходе >9.

При обратном (инверсном) счете отрицательный сигнал переноса вырабатывается на выходе < 0 после достижения выходным кодом значения 0000. Имеется возможность сброса счетчика в нуль положительным сигналом на входе R, а также возможность параллельной записи в счетчик кода со входов D1, D2, D4, D8 по отрицательному сигналу на входе -WR. При параллельной записи информации счетчики ведут себя как регистры-защелки, то есть выходной код счетчика повторяет входной код, пока на входе -WR присутствует сигнал нулевого уровня. Таблица режимов работы счетчик приведена в таблице 4.

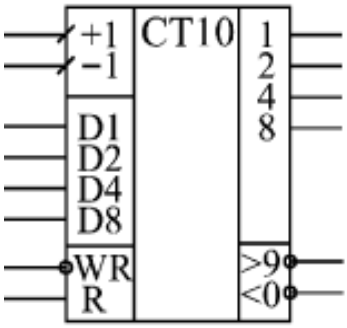


Рис. 94. Синхронный счетчики с асинхронным переносом ИЕ6

Таблица 7.4. Таблица режимов работы счетчиков ИЕ6				
Выходы				**Режим работы**
R	-WR	+1	-1	
1	X	X	X	Сброс в нуль
0	0	X	X	Параллельная запись
0	1	1	1	Хранение
0	1	0	0	Хранение
0	1	0→1	1	Прямой счет
0	1	1	0→1	Обратный счет

На Рис. 95. показана организация 12-разрядного счетчика на трех микросхемах ИЕ7. Этот счетчик относится к реверсивным счетчикам: может считать как на увеличение (прямой счет), так и на уменьшение (обратный счет).

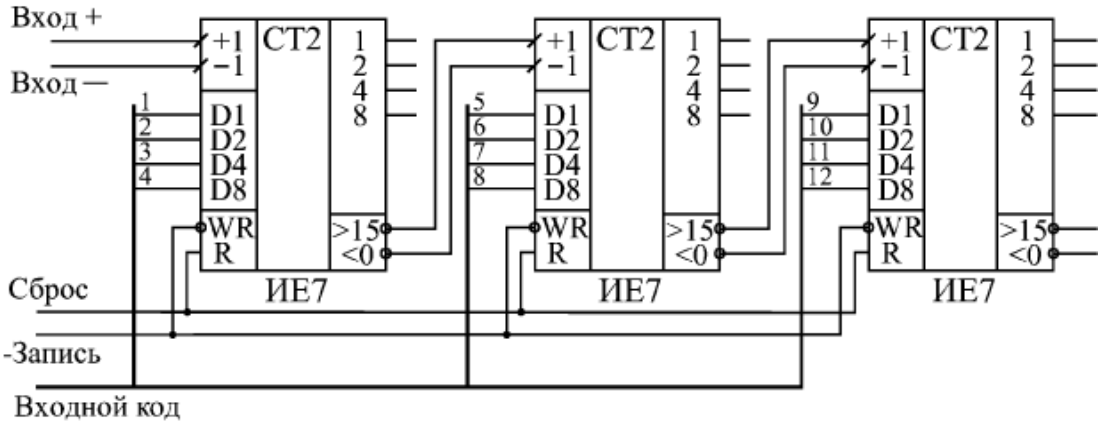


Рис. 95. Объединение счетчиков ИЕ7 для увеличения разрядности

Синхронные счетчики с синхронным переносом. Синхронные (или параллельные) счетчики представляют собой наиболее быстродействующую разновидность счетчиков. Наращивание их разрядности при соблюдении определенных условий не приводит к увеличению полной задержки срабатывания.

Т. е. именно синхронные счетчики работают как идеальные счетчики, все разряды которых срабатывают одновременно, параллельно. Задержка срабатывания счетчика в этом случае примерно равна задержке срабатывания одного триггера. Достигается такое быстродействие существенным усложнением внутренней структуры микросхемы.

Вместе с тем недостатком синхронных счетчиков является более сложное управление их работой по сравнению с асинхронными счетчиками и с синхронными счетчиками с асинхронным переносом. Поэтому синхронные счетчики целесообразно применять только в тех случаях, когда действительно требуется очень высокое быстродействие, очень высокая скорость переключения разрядов. Иначе усложнение схемы управления может быть не оправдано.

В стандартные серии микросхем входят несколько разновидностей синхронных (параллельных). Пример такого счетчика приведен на Рис.96.

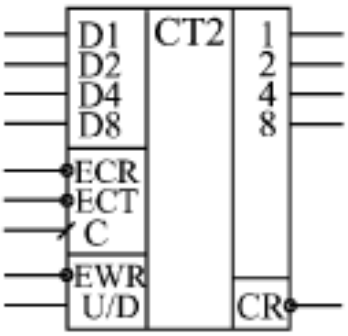


Рис. 96. Синхронные ИЕ17 (ИЕ16)

Микросхемы ИЕ16 -двоично-десятичный счетчик, а ИЕ17 - двоичный счетчик с возможностью прямого и обратного счета и отсутствием сигнала сброса в нуль.

Срабатывают счетчики ИЕ16 и ИЕ17 по положительному фронту тактового сигнала С. При нулевом уровне на входе разрешения записи -EWR по фронту сигнала С в счетчик записывается информация со входов данных D1, D2, D4, D8.

При единичном уровне на входе –EWR по положительному фронту сигнала С происходит счет. Направление счета определяется входом U/D: при единице на этом входе счет прямой, при нуле — обратный. Имеются два входа расширения: вход разрешения счета –ECT и вход разрешения переноса –ECR. Различаются эти два входа тем, что сигнал –ECR не только запрещает счет, как сигнал –ECT, но еще и запрещает выработку сигнала переноса. Переключение уровней на входах U/D, –ECT и –ECR надо производить только при единичном уровне на тактовом входе С.

Режимы работы счетчиков ИЕ16 и ИЕ17 приведены в табл. 5.

При объединении двух счетчиков (Рис. 97.) выход переноса –CR младшего счетчика соединяется со входом разрешения счета старшего счетчика –ECT. На входы –ECR обоих счетчиков подается нулевой уровень.

Таблица 7.5

Режимы работы счетчиков ИЕ16 и ИЕ17

Входы					**Режим**
-EWR	**U/D**	**-ECT**	**-ECR**	**C**	
0	X	X	X	0→1	Параллельная запись
1	1	0	0	0→1	Прямой счет
1	0	0	0	0→1	Обратный счет
1	X	1	X	X	Хранение
1	X	X	1	X	Хранение

Условие правильной работы будет простым: период тактового сигнала C не должен быть меньше, чем задержка выработки сигнала переноса CR.

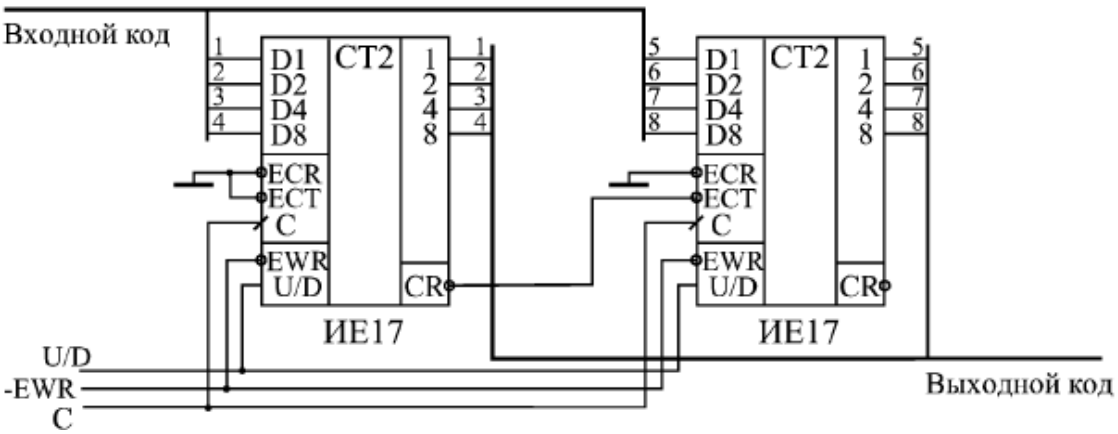


Рис. 97. Объединение двух счетчиков ИЕ17

При объединении трех счетчиков ситуация несколько усложняется (Рис. 98). Сигнал с выхода переноса первого счетчика подается на входы -ECT второго и третьего счетчиков. Сигнал с выхода переноса второго счетчика

подается на вход -ECR третьего счетчика. В результате третий счетчик будет считать только тогда, когда имеется перенос как у первого, так и у второго счетчика. На рисунке для простоты не показано подключение входных и выходных сигналов, не участвующих в каскадировании.

Условие правильной работы схемы остается тем же, что и в случае двух счетчиков: период тактового сигнала C не должен быть меньше задержки выработки сигнала переноса CR.

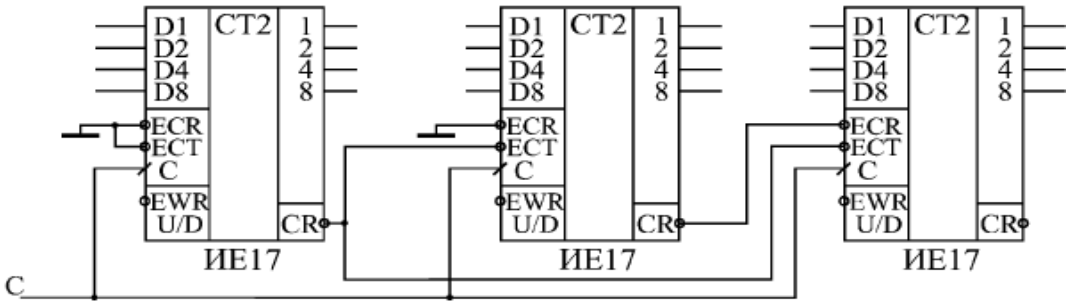


Рис. 98. Объединение трех счетчиков ИЕ17

При объединении четырех (и более) счетчиков возникает проблема, так как у старших счетчиков не остается свободных управляющих входов для собирания всех сигналов переноса более младших счетчиков. Поэтому в данном случае используется способность входного сигнал –ECR запрещать выходной сигнал переноса -CR (Рис. 99). На четвертый и последующие счетчики подаются уже сигналы переноса не со всех предыдущих счетчиков, а только с первого и с предыдущего. На рисунке для простоты не показано подключение входов и выходов, не участвующих непосредственно в каскадировании.

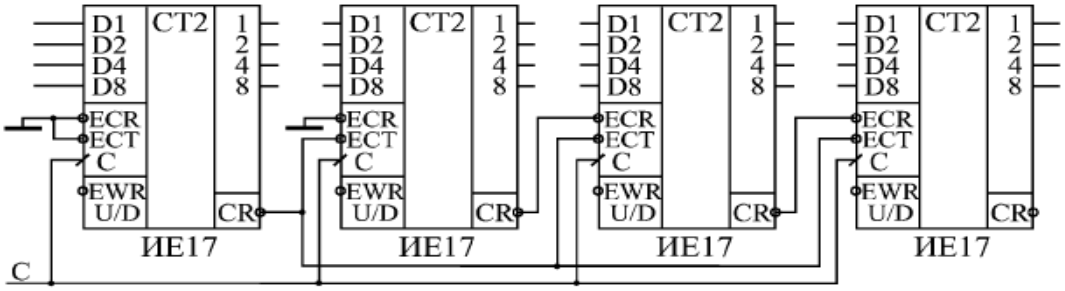


Рис. 99. Объединение четырех счетчиков ИЕ17

При таком включении происходит уже накапливание задержки сигналов переноса. Максимальной задержка будет для сигнала переноса второго счетчика. Условие правильной работы всех счетчиков будет следующее: период тактового сигнала C не должен быть меньше, чем максимальная суммарная задержка сигналов переноса до входа последнего счетчика. При объединении четырех счетчиков в эту максимальную задержку входят задержка сигнала переноса –CR микросхемы относительно фронта сигнала C и задержка сигнала переноса –CR относительно сигнала –ECR. При объединении пяти счетчиков добавится еще одна задержка сигнала переноса –CR относительно сигнала –ECR и т.д. Поэтому с увеличением количества объединяемых счетчиков будет снижаться допустимая тактовая частота.

Счетчики с произвольным коэффициентом счета. Двоичные N-разрядные счетчики позволяют осуществлять деление частоты следования сигналов счета с коэффициентом пересчета, равным 2^N. На их основе могут быть построены делители частоты и счетчики с произвольным коэффициентом пересчета.

Для построения пересчетных схем с произвольным коэффициентом деления частоты могут использоваться T-триггеры, имеющие дополнительные входы установки триггера в состояние логической 1 (вход S) или установки в состояние логического (вход R).

Если использовать дополнительные (установочные) входы триггера S, то сигнал окончания счета формируется как логическое произведение счетного импульса и сигналов с единичных выходов тех разрядов счетчика, которые соответствуют единицам в двоичном числе равном К-1, где К – коэффициент пересчета.

Такие счетчики чаще всего используются для формирования управляющего сигнала после поступления заданного числа счетных импульсов. На Рис. 100 (а) приведена схема счетчика с коэффициентом счета равным 6.

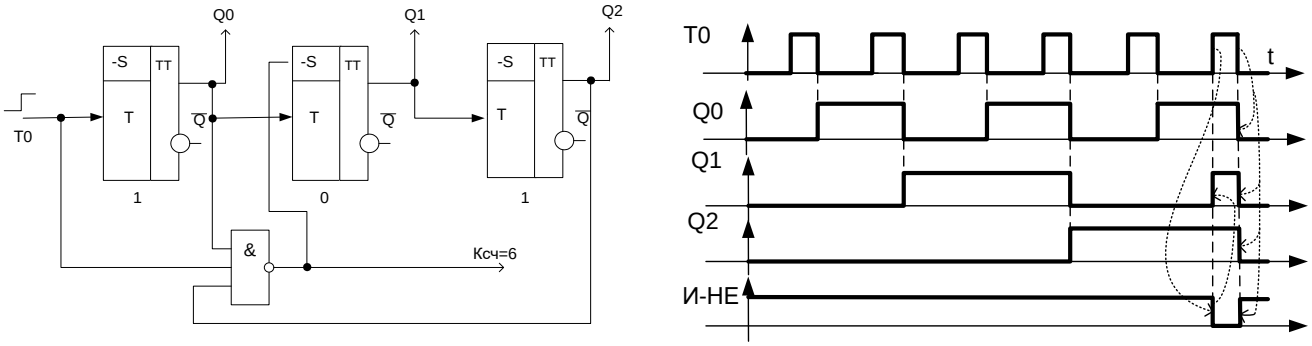


Рис. 100 (а) Счетчик с коэффициентом счета 6, 7.18 (б) Диаграмма работы счетчика организованного на триггерах с дополнительными входами S с коэффициентом счета 6

В схеме на Рис.100 (а) управляющим сигналом передаваемым в другую схему служит сигнал $К_{сч}$=6 уровня логической 1. На Рис.100 (б). приведена диаграмма работы данного счетчика. Если триггера не имеет дополнительных входов для установки в единичное состояние, но имеют выходы для установки в состояние 0, то счетчик с произвольным коэффициентом счета строится следующим образом: сигнал окончания счета представляет собой логическое произведение единичных разрядов счетчика, которые соответствуют единицам в двоичном числе $К_{сч}$. Полученный сигнал может быть использован для установки в 0 всех разрядов счетчика. На Рис.101 (а) приведена схема счетчика с коэффициентом счета 5.

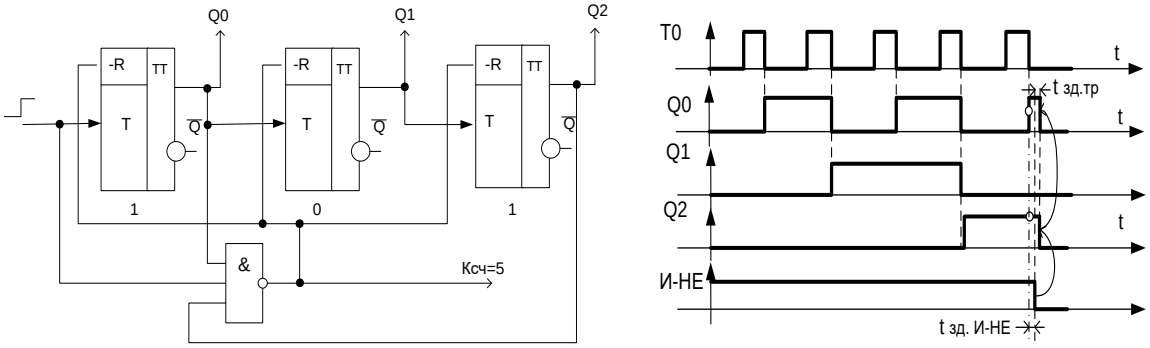


Рис. 101(а) Счетчик с коэффициентом счета 5, 101
(б) Диаграмма работы счетчика организованного на триггерах с дополнительными входами R с коэффициентом счета 5

На Рис.101 (б). приведена диаграмма работы данного счетчика. Из диаграммы видно, что длительность сигнала, формируемого для одновременного сброса разрядов счетчика в нулевое состояние будет определяться временем переключения самого быстродействующего Т-триггера и может оказаться недостаточной для более медленных триггерных схем.

Для обеспечения более надежной работы схемы может быть использован асинхронный RS триггер, который запоминает сигнал окончания счета до поступления следующего счетного импульса.

Схема такого счетчика приведена на рис.102.

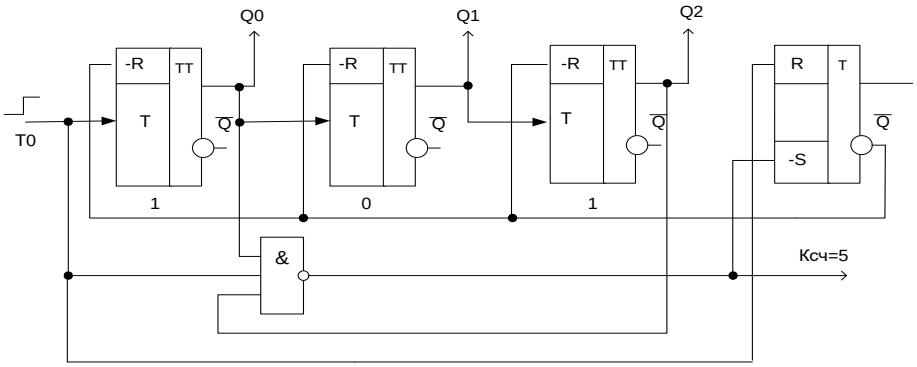


Рис. 102. Счетчик с коэффициентом счета 5 с асинхронным R-S триггером

Индивидуальные задания

Задание 1. Согласно заданному преподавателем варианту нарисуйте схему и диаграмму работы указанного в таблице 4-х счетчика.

№ вар.	Триггер	Установочные входы	Начальная установка	Тип переноса	Счетчик
1	DC	-RS	5 (высокий)	последовательный	суммирующий
2	DC	R-S	6 (низкий)	последовательный	реверсивный

3	DC	-R-S	0 (высокий)	параллельный	вычитающий
4	D-C	RS	7 (низкий)	параллельный	реверсивный
5	D-C	-RS	11 (высокий)	последовательный	вычитающий
6	CJK	-R-S	2 (высокий)	параллельный	реверсивный
7	C-JK	R-S	3 (низкий)	последовательный	реверсивный
8	CJ-K	-RS	6 (низкий)	параллельный	суммирующий
9	-C-JK	RS	1 (низкий)	параллельный	реверсивный
10	-CJ-K	RS	9 (высокий)	последовательный	вычитающий
11	C-J-K	R-S	5 (низкий)	параллельный	суммирующий
12	-CJ-K	-RS	2 (высокий)	параллельный	реверсивный
13	-C-J-K	-R-S	1 (низкий)	параллельный	вычитающий
14	CJK	R-S	7 (высокий)	параллельный	реверсивный

15	T	RS	4 (низкий)	параллельный	суммирующий
16	T	-RS	0 (низкий)	последовательный	реверсивный
17	T	R-S	5 (высокий)	параллельный	суммирующий
18	T	-R-S	3 (низкий)	параллельный	реверсивный
18	-R-SC	-RS	1 (низкий)	последовательный	вычитающий
19	R-SC	RS	0 (высокий)	параллельный	суммирующий
20	-RSC	-R-S	5 (низкий)	последовательный	реверсивный

Задание 2. Согласно заданному преподавателем варианту нарисуйте схему N-разрядного счетчика. Поясните последовательность подачи управляющих сигналов на диаграмме.

№ вар.	Микросхема	Начальная установка счетчика	Разрядность	Счетчик
1	ИЕ2	0	7	суммирующий
2	ИЕ2	0	5	суммирующий
3	ИЕ2	0	6	суммирующий
4	ИЕ2	0	5	суммирующий
5	ИЕ5	0	5	суммирующий
6	ИЕ5	0	6	суммирующий

7	ИЕ5	9	7	суммирующий
8	ИЕ5	9	7	суммирующий
9	ИЕ6	1	12	реверсивный
10	ИЕ6	3	8	вычитающий
11	ИЕ6	0	16	суммирующий
12	ИЕ7	2	12	реверсивный
13	ИЕ7	1	12	вычитающий
14	ИЕ7	7	16	суммирующий
15	ИЕ10	4	16	суммирующий
16	ИЕ10	0	12	суммирующий
17	ИЕ13	5	16	суммирующий
18	ИЕ13	3	12	суммирующий
19	ИЕ17	1	12	вычитающий
20	ИЕ17	0	16	суммирующий
21	ИЕ17	5	16	реверсивный

Контрольные вопросы

1. Что такое счётчик.
2. Что обозначает коэффициент счета?
3. Что такое разрешающая способность счетчика (tp)?
4. Что такое время установления кода (tуст)?
5. Как классифицируются счетчики по направлению счета?
6. Как классифицируются счетчики по модулю счета?
7. Как классифицируются счетчики по способу организации внутренних связей?
8. Как организовать суммирующий счетчик триггерах с последовательным переносом на Т триггерах?
9. Как организовать вычитающий счетчик триггерах с последовательным переносом на Т триггерах?

10. Какой счетчик называется реверсивным?
11. Нарисуйте схему реверсивного счетчика на Т триггерах.
12. Как создаются счётчики с коэффициентом счёта, не кратным 2?
13. Как реализуется параллельное формирование сигнала переноса во всех разрядах счётчика?
14. Поясните работу счетчика ИЕ2 условное изображение которого приведено на рис.88.
15. Поясните работу счетчика ИЕ5 условное изображение которого приведено на рис.96.
16. Объясните принцип увеличения разрядности счетчиков на примере микросхемы ИЕ2.
17. Объясните принцип работы синхронных счетчиков с асинхронным переносом на примере счетчика ИЕ7.
18. Объясните принцип работы синхронных счетчиков.
19. Как можно построить счетчик с произвольных коэффициентом счета?
20. На каких триггерах строятся регистры памяти?

9. Исследование работы активных фильтров

Общие сведения. Фильтр в обобщенном смысле слова представляет собой устройство, которое преобразует заданным образом проходящий через него сигнал, соответственно фильтрация – это преобразование сигналов с целью изменения соотношения между их различными частотными составляющими. По существу фильтр преобразует входные сигналы в выходные таким образом, что определенные полезные особенности входного сигнала сохраняются в выходном сигнале, а нежелательные свойства подавляются.

Существует множество типов фильтров, электрические фильтры можно классифицировать несколькими способами. Для обработки аналоговых или непрерывных во времени сигналов применяются аналоговые фильтры, а цифровые сигналы (сигналы дискретные по времени и квантованные по амплитуде) обрабатываются цифровыми фильтрами. Аналоговые фильтры, в свою очередь, можно классифицировать как сосредоточенные или распределенные в зависимости от частотного диапазона, для которого они проектируются, и, наконец, как активные (именно их работу и свойства мы будем рассматривать далее) и пассивные в зависимости от типа используемых при реализации элементов.

Активный фильтр — один из видов аналоговых электронных фильтров, в котором присутствует один или несколько активных компонентов, к примеру транзистор или операционный усилитель**.** Наиболее общими типами частотно-избирательных фильтров являются фильтры нижних частот (пропускают низкие частоты и задерживают высокие частоты), фильтры верхних частот (пропускают высокие частоты и задерживают низкие частоты), полосовые фильтры (пропускают полосу частот и задерживают те частоты, которые расположены выше и ниже этой полосы) и режекторные фильтры (задерживают полосу частот и пропускают частоты, расположенные выше и

ниже этой полосы).

Рис. 103. Общее представление электрического фильтра в виде четырехполюсника.

Более точно характеристику частотно-избирательного фильтра можно описать, рассмотрев его передаточную функцию

$$H(s)=U_2(s)/U_1(s), \qquad (1)$$

Где s-установившаяся частота, H(s)-преобразование Лапласа. Величины U_1 и U_2 представляют собой соответственно входное и выходное напряжения, как показано на общем представлении фильтра на рис. 103.

Для установившейся частоты $s=j\omega$ ($j=\sqrt{-1}$) передаточную функцию можно переписать в виде

$$H(j\omega)=|H(j\omega)|\, e^{j\varphi(\omega)}, \qquad (2)$$

где $|H(j\omega)|$ — модуль передаточной функции или амплитудно-частотная характеристика (Амплитудно-частотная характеристика (АЧХ) — функция, показывающая зависимость модуля некоторой комплекснозначной функции от частоты.); $\varphi(\omega)$ — фазо-частотная характеристика, а частота ω(рад/с) связана с частотой f (Гц) соотношением $\omega=2\pi f$.

Диапазоны или полосы частот, в которых сигналы проходят, называются полосами пропускания и в них значение амплитудно-частотной характеристики $|H(j\omega)|$ относительно велико, а в идеальном случае постоянно. Диапазоны частот, в которых сигналы подавляются, образуют полосы задерживания и в них значение амплитудно-частотной характеристики относительно мало, а в идеальном случае равно нулю. В качестве примера на рис. 8.2 штриховой линией показана амплитудно-частотная характеристика идеального фильтра нижних частот с единственной полосой пропускания

$0<\omega<\omega_c$ и полосой затухания $\omega>\omega_c$. Частота ω_c между двумя этими полосами определяется как частота среза. На практике невозможно реализовать эту идеальную характеристику. Следовательно, основная проблема при конструировании фильтра заключается в приближении реализованной в лаборатории реальной характеристики с заданной степенью точности к идеальной. Вариант такой реальной характеристики показан сплошной линией на рис. 104.

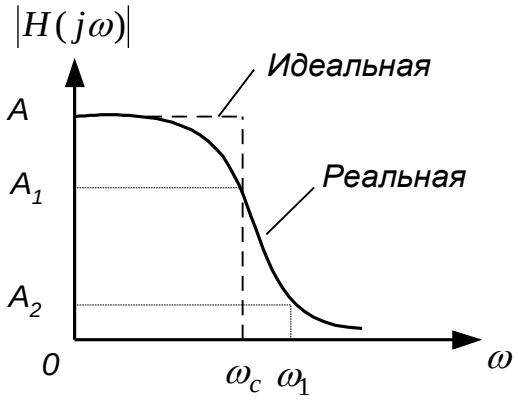


Рис. 104 Идеальная и реальная АЧХ фильтра нижних частот.

В практическом случае полосы пропускания и затухания четко не разграничены и должны быть формально определены. Исходя из определения, в качестве полосы пропускания выбирается диапазон частот, где значение амплитудно-частотной характеристики превышает некоторое заранее выбранное число, обозначенное A_1 на рис. 104, а полосу затухания образует диапазон частот, в котором амплитудно-частотная характеристика меньше определенного значения, например, A_2 . Интервал частот, в котором амплитудно-частотная характеристика постоянно спадает, переходя от полосы пропускания к полосе затухания, называется переходной областью. Приведенный на рис. 104 пример имеет полосу пропускания $0<\omega<\omega_c$, полосу задерживания $\omega>\omega_1$ и переходную область $\omega_c<\omega<\omega_1$.

Значение АЧХ можно также выразить в децибелах (дБ) следующим образом

$$\alpha=-20\times\lg|H(j\omega)|, \qquad (3)$$

и в этом случае α характеризует затухание. Например, предположим, что на рис. 104 выбрано A=1, которому соответствует α=0. Тогда если

$$A_1 = \frac{A}{\sqrt{2}} = \frac{1}{\sqrt{2}}$$

то затухание на частоте ω_c

$\alpha_1 = -20 \times \lg(1/2^{0,5}) = 10 \times \lg 2 = 3$ дБ.

В основном пропускание в полосе пропускания никогда не превышает 3 дБ. Таким образом, из приведенного примера следует, что значение АЧХ в полосе пропускания составляет по крайней мере $1/2^{0,5}$=0,707 или 70,7% ее максимального значения. В этом случае можно также сказать, что в полосе пропускания амплитудно-частотная характеристика на 3 дБ ниже или меньше максимального значения.

Для частотно-избирательных фильтров наиболее важной является амплитудно-частотная характеристика, поскольку ее значение на некоторой частоте определяет прохождение сигнала этой частоты или его подавление.

Элементы активных фильтров. Ранее упомянутые пассивные фильтры представляют собой устройства, которые создаются на основе резисторов, конденсаторов и катушек индуктивности, а именно из пассивных схемных элементов. Эти фильтры пригодны для работы в определенных диапазонах частот, но не подходят для низких частот, например, ниже 0,5 мГц. Это происходит вследствие того, что на низких частотах параметры требуемых катушек индуктивности становятся неудовлетворительными из-за их больших размеров и значительного отклонения рабочих характеристик от идеальных. Кроме того, в отличие от резисторов и конденсаторов, катушки индуктивности плохо приспособлены для интегрального исполнения.

Таким образом, для применения фильтров в диапазоне низких частот из схем желательно исключить катушки индуктивности. Это достигается разработкой активных фильтров на основе резисторов, конденсаторов и одного или нескольких активных приборов, таких как транзисторы, зависимые источники и т. д.

Активные фильтры построены из сопротивлений, конденсаторов и усилителей (обычно операционных) и предназначены для того, чтобы из всех подаваемых на их вход сигналов пропускать на выход сигналы лишь некоторых заранее заданных частот.

Одним из наиболее часто применяемых активных приборов, который в основном и будет использоваться, является операционный усилитель (ОУ) условное изображение которого приведено на рис.3.

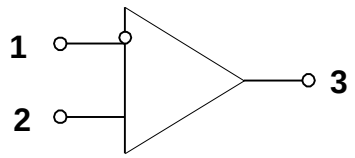


Рис. 105. Операционный усилитель.

Операционный усилитель представляет собой многовходовый прибор, но для простоты показаны только три его вывода: инвертирующий входной (1), неинвертирующий входной (2) и выходной (3). В идеальном случае ОУ обладает бесконечным входным и нулевым выходным сопротивлениями и бесконечным коэффициентом усиления. Вследствие этого можно, при исследованиях рассматривать только напряжение между входными выводами, а также считать, что ток во входных выводах равен нулю. Реальные ОУ по своим характеристикам приближаются к идеальным наиболее близко только для ограниченного диапазона частот, который зависит от типа ОУ.

Операционный усилитель, особенно в интегральной форме, оказался полезным активным элементом для реализации активных RC-фильтров. Операционные усилители обладают высоким входным сопротивлением, низким входным сопротивлением, большим усилением при разомкнутой обратной связи и низкой стоимостью. Эти положительные качество хорошо проявляются в активных фильтрах которые будут далее рассматриваться.

В схеме активного фильтра активные элементы, в данном случае ОУ, необходимы для того, чтобы можно было реализовать полюсы в левой комплексной полуплоскости, используя в качестве пассивных элементов

только резисторы и конденсаторы. Операционный усилитель даёт возможность использовать резисторы и конденсаторы не слишком больших номиналов даже при очень низких частотах (до 10^{-3}Гц). При этом также достигается дополнительное преимущество, состоящее в том, что благодаря низким выходным сопротивлениям ОУ звенья фильтра хорошо развязаны между собой, так что их можно рассчитывать и настраивать независимо; взаимное влияние звеньев у собранного фильтра будет минимальным.

Преимущества активных фильтров. Пассивные фильтры построены из катушек индуктивности, конденсаторов и сопротивлений. Большинство пассивных фильтров для работы в тех диапазонах частот, где они находят применение, нуждаются в больших по размеру, тяжелых и дорогих катушках индуктивности и ослабляют частоты в полосе пропускания, а не только в полосе подавления, хотя частоты в этой последней ослабляются сильнее. Используемые в пассивных фильтрах катушки индуктивности обладают активным сопротивлением, межвитковой ёмкостью и потерями в сердечнике, что делает их свойства далекими от идеальных.

По сравнению с пассивными активные фильтры имеют следующие преимущества:

1) в них используются только сопротивления и конденсаторы, т.е. компоненты, свойства которых ближе к идеальным, чем свойства катушек индуктивности;

2) относительно дешевы;

3) они могут обеспечивать усиление в полосе пропускания и редко вносят существенные потери;

4) использование в активных фильтрах операционных усилителей обеспечивает развязку входа от выхода (поэтому активные фильтры легко делать многокаскадными и тем самым улучшать их показатели);

5) активные фильтры относительно легко настраивать;

6) фильтры для очень низких частот могут быть построены из компонентов, имеющих умеренные значения параметров;

7) активные фильтры невелики по размерам и массе.

Недостатки активных фильтров. Они нуждаются в источнике питания, а их рабочий диапазон частот ограничен сверху максимальной рабочей частотой операционного усилителя. Это приводит к тому, что большинство активных фильтров может работать лишь на частотах, не превышающих нескольких мегагерц, хотя отдельные типы операционных усилителей могут обеспечить работу фильтров и на более высоких частотах. По мере улучшения изготовителями операционных усилителей их частотных характеристик будет увеличиваться и верхний частотный предел активных фильтров.

Фильтры нижних частот. Фильтр нижних частот представляет собой устройство, которое пропускает сигналы низких частот и задерживает сигналы высоких частот. В общем случае определим полосу пропускания как интервал частот $0<\omega<\omega_c$, полосу задерживания как частоты $\omega>\omega_1$, переходную область как диапазон частот $\omega_c<\omega<\omega_1$ (ω_c — частота среза). Эти частоты обозначены на рис. 106, на котором приведена реальная амплитудно-частотная характеристика фильтра нижних частот, где в данном случае заштрихованные области представляют собой допустимые отклонения характеристики в полосах пропускания и задерживания.

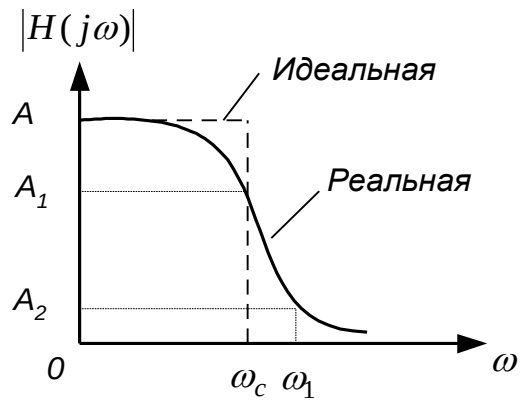


Рис. 106. Реальная амплитудно-частотная характеристика фильтра нижних частот.

Коэффициент усиления фильтра нижних частот представляет собой значение его передаточной функции при s=0 или, что эквивалентно, значение его амплитудно-частотной характеристики на частоте $\omega=0$. Следовательно, коэффициент усиления реального фильтра с амплитудно-частотной характеристикой, показанной на рис. 106, равен A.

Существует много типов фильтров нижних частот, удовлетворяющих данному набору технических требований, таких, как A, A_1, A_2, ω_c и ω_1, обозначенных на рис. 106. Фильтры Баттерворта, Чебышева инверсные Чебышева и эллиптические образуют четыре наиболее известных класса. Фильтр Баттерворта обладает монотонной АЧХ, подобной характеристике на рис. 106. (АЧХ является монотонно спадающей, если она никогда не, возрастает с увеличением частоты.) АЧХ фильтра Чебышева содержит пульсации (колебания передачи) в полосе пропускания и монотонна в полосе задерживания. Инверсная, АЧХ фильтра Чебышева монотонна в полосе пропускания и обладает пульсациями в полосе затухания. Наконец, АЧХ эллиптического фильтра обладает пульсациями, как в полосе пропускания, так и в полосе затухания.

АЧХ оптимального фильтра нижних частот удовлетворяет обозначенным на рис. 106 условиям для данного порядка *n*(n-порядок фильтра зависящий от количества звеньев) и допустимого отклонения в полосах пропускания и задерживания при минимальной ширине переходной области. Таким образом, если заданы значения A, A_1, A_2, n и ω_c, то значение частоты ω_1 минимально. Для полиномиальной характеристики оптимальной является характеристика фильтра Чебышева. Однако в общем случае оптимальным является эллиптический фильтр, характеристики которого значительно лучше характеристик фильтра Чебышева.

Фильтры Баттерворта. Вероятно, наиболее простая амплитудно-частотная характеристика фильтра нижних частот у фильтра Баттерворта, которая в случае *n*-го порядка определяется следующим образом:

$$\left|H(j\omega)\right| = \frac{A}{\sqrt{1+\left(\frac{\omega}{\omega_c}\right)^{2n}}},\ n=1,2,3\ldots \qquad (4)$$

Эта характеристика фильтра Баттерворта монотонно спадает (никогда не возрастает) при увеличении частоты. Увеличение порядка также приводит к улучшению характеристики.

Фильтр Баттерворта представляет собой полиномиальный фильтр и в общем случае обладает передаточной функцией вида

$$\frac{U_2}{U_1} = \frac{Kb_0}{s^n + b_{n-1}s^{n-1} + \ldots + b_1 s + b_0}, \qquad (5)$$

где К — постоянное число. Для *нормированного* фильтра, т. е. при ω_c=1 рад/с, передаточную функцию можно записать в виде произведения сомножителей для n=2, 4, 6... как

$$\frac{U_2}{U_1} = \prod_{k=1}^{\frac{n}{2}} \frac{A_k}{s^2 + a_k s + b_k}, \qquad (6)$$

или для n=3, 5, 7... как

$$\frac{U_2}{U_1} = \frac{A_0}{s + b_0} \cdot \prod_{k=1}^{\frac{n-1}{2}} \frac{A_k}{s^2 + a_k s + b_k}, \qquad (7)$$

В обоих случаях коэффициенты задаются при b_0=1 и для k=1, 2... следующим образом:

$$a_k = 2 \cdot \sin\frac{(2k-1)\pi}{2n},\ b_k = 1, \qquad (8)$$

Очевидно, что коэффициент усиления фильтра Баттерворта, описываемого уравнением (5), равен К (значению передаточной функции при s=0). Если фильтр построен на основе каскадного соединения звеньев, соответствующих сомножителям в (6) или (7), то A_k и/или A_0 будут представлять собой коэффициент усиления звена. Таким образом,

коэффициент усиления фильтра равен произведению коэффициентов усиления отдельных звеньев.

Амплитудно-частотная характеристика фильтра Баттерворта наиболее плоская около частоты ω=0 по сравнению с характеристикой любого полиномиального фильтра n-го порядка и вследствие этого называется максимально плоской. Следовательно, для диапазона низких частот характеристика фильтра Баттерворта наилучшим образом аппроксимирует идеальную характеристику.

Фазо-частотная характеристика фильтра Баттерворта лучше (более близка к линейной), чем соответствующие фазо-частотные характеристики фильтров Чебышева, инверсных Чебышева и эллиптических сравнимого порядка. Это согласуется с общим правилом для фильтров данного типа — чем лучше амплитудно-частотная характеристика, тем хуже фазо-частотная, и наоборот.

Наклон переходного участка характеристики фильтра Баттерворта равен 6дБ/октава на полюс. Фильтр Баттерворта имеет нелинейную фазово-частотную характеристику; другими словами, время, которое требуется для прохождения сигнала через фильтр, зависит от частоты нелинейно. Поэтому, ступенчатый сигнал или импульс, поданный на вход фильтра Баттерворта, называет выброс на его выходе. Используется фильтр Баттерворта в тех случаях, когда желательно иметь одинаковый коэффициент усиления для всех частот в полосе пропускания.

Фильтры нижних частот на инун. На рис. 8.5 приведена широко распространенная схема фильтра нижних частот второго порядка, реализующая неинвертирующий (положительный) коэффициент усиления. Эта схема иногда называется фильтром на ИНУН, поскольку ОУ и два подсоединенных к нему резистора R_3 и R_4 образуют источник напряжения, управляемый напряжением (ИНУН).

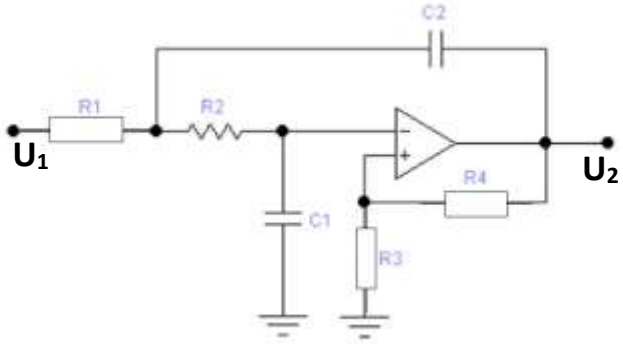


Рис. 107. Схема фильтра нижних частот на ИНУН второго порядка.

Эта схема реализует функцию фильтра нижних частот второго порядка вида

$$\frac{U_2}{U_1} = \frac{KC\omega_c^2}{s^2 + B\omega_c s + C\omega_c^2} \tag{9}$$

с параметрами:

$$\begin{cases} C\omega_c^2 = 1/R_1R_2C_1C_2; \\ B\omega_c = \dfrac{1}{C_2}\left(\dfrac{1}{R_1} + \dfrac{1}{R_2}\right) + \dfrac{1}{R_2C_1}(1-\mu); \\ K = \mu = 1 + R_4/R_3. \end{cases} \tag{10}$$

B и C - постоянные числа. Величина $\mu \geq 1$ представляет собой коэффициент усиления ИНУН, а также и коэффициент усиления фильтра..

Значения сопротивлений определяются следующим образом:

$$\begin{cases} R_1 = \dfrac{2}{\left[\left(BC_2 + \sqrt{\left(B^2 + 4C(K-1)\right)C_2^2 - 4CC_1C_2}\right)\omega_c\right]} \\ R_2 = 1/CC_1C_2R_1\omega_c^2; \\ R_3 = K(R_1 + R_2)/(K-1), (K \neq 1); \\ R_4 = K(R_1 + R_2). \end{cases} , \tag{11}$$

где значения C_1 и C_2 выбираются, а сопротивления R_3 и R_4 задаются таким образом, чтобы минимизировать смещение по постоянному току ОУ.

(Напомним, что в идеальном случае напряжение смещения между входными выводами должно быть равно нулю). Если требуется К=1, то значение $R_3=\infty$ (разомкнутая цепь) и $R_4=0$ (короткозамкнутая цепь). Для минимизации смещения по постоянному току должно выполняться условие $R_4=R_1+R_2$, но в большинстве некритических применений будет достаточна короткозамкнутая цепь. В этом случае ИНУН работает как повторитель напряжения, т. е. его выходное напряжение равно входному или повторяет его. Расчет фильтра на ИНУН производится следующим образом.. Номинальное значение емкости C_2 выбирается близким к значению $10/f_c$ мкФ, а номинальное значение емкости C_1, удовлетворяющим неравенству

$$C_1 \leq [B^2+4C(K-1)]C_2/(4C). \qquad (12)$$

(Это гарантирует вещественное значение R_1.) Значения сопротивлений находятся затем из (10) с приведенной выше модификацией при К=1. Как было подчеркнуто ранее, фильтр на ИНУН позволяет добиться неинвертирующего коэффициента усиления при минимальном числе элементов. 0н облагает низким полным выходным сопротивлением, небольшим разбросом значений элементов и возможностью получения относительно высоких значений коэффициента усиления. Кроме того, этот фильтр относительно прост в настройке. Точная установка коэффициента усиления осуществляется, например, с помощью подстройки сопротивлений R_3 и R_4 потенциометром. Но фильтр на ИНУН должен использоваться для значений добротности $Q \leq 10$.

Фильтры верхних частот. Фильтр верхних частот представляет собой устройство, пропускающее сигналы высоких частот и подавляющее сигналы низких частот. На рис. 108 изображены идеальная и реальная амплитудно-частотные характеристики и для практического случая обозначены полоса пропускания $\omega>\omega_c$, полоса затухания $0\leq\omega\leq\omega_1$, переходная область $\omega_1<\omega<\omega_c$ и частота среза ω_c (рад/с) или $f_c=\omega_c/2\pi$ (Гц).

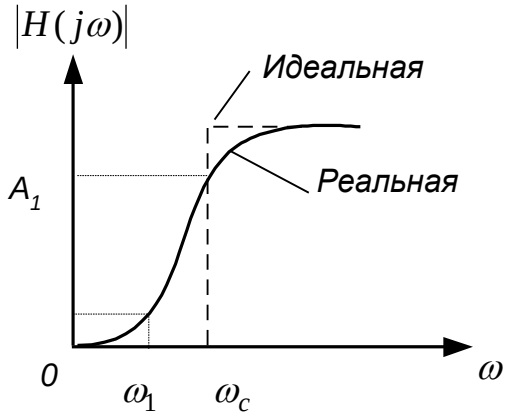


Рис. 108. Идеальная и реальная амплитудно-частотная характеристика фильтра верхних частот.

Передаточную функцию фильтра верхних частот с частотой среза ω_c можно получить из передаточной функции нормированного фильтра нижних частот (имеющего ω_c, равную 1 рад/с) с помощью замены переменной s на ω_c/s. Следовательно, функция фильтров верхних частот Баттерворта и Чебышева будет содержать следующие сомножители второго порядка:

$$H = \frac{U_2}{U_1} = \frac{Ks^2}{s^2 + \frac{B\omega_c}{C} + \frac{\omega_c^2}{C}}, \qquad (13)$$

где ω_c — частота среза, а B и C представляют собой приведенные в приложении А[1] нормированные коэффициенты звена фильтра нижних частот второго порядка. При нечетном порядке присутствует также звено первого порядка, обладающее передаточной функцией вида

$$H = \frac{U_2}{U_1} = \frac{Ks}{s + \frac{\omega_c}{C}}, \qquad (14)$$

где C — нормированный коэффициент нижних частот первого порядка.

Фильтр верхних частот Баттерворта имеет монотонную характеристику, подобную характеристике на рис. 8.6, тогда как характеристика фильтра верхних частот Чебышева характеризуется пульсациями в полосе пропускания. Например, фильтр верхних частот Чебышева с

неравномерностью передачи 1 дБ, подобно его прототипу нижних частот, имеет пульсации 1 дБ в диапазоне полосы пропускания.

Коэффициент усиления фильтра верхних частот представляет собой значение его передаточной функции при бесконечном значении переменной s. Следовательно, для звеньев второго и первого порядков, описываемых соответственно уравнениями (13) и (14), коэффициент усиления звена равен К.

Как для фильтра верхних частот Баттерворта или Чебышева второго порядка (13), так и для инверсного Чебышева и эллиптического фильтров добротность Q, аналогично фильтру нижних частот, определяется соотношением $Q=C^{1/2}/B$.

Фильтры верхних частот на инун. Схема на ИНУН, реализующая функцию фильтра верхних частот Баттерворта или Чебышева второго порядка, изображена на рис. 109.

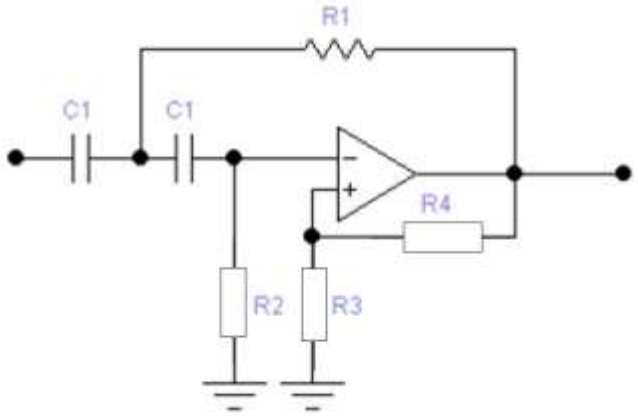


Рис. 109. Схема фильтра верхних частот на ИНУН.

Анализируя эту схему, получаем

$$\begin{cases} K = 1 + R_4/R_3; \\ \dfrac{B\omega_c}{C} = \dfrac{1}{R_1C_1}(1-K) + \dfrac{2}{R_2C_1}; \\ \omega_c^2/C = 1/R_1R_2C_1^2. \end{cases} \qquad (15)$$

Коэффициент усиления схемы — неинвертирующий, а значения сопротивлений определяются следующим образом:

$$\begin{cases} R_2 = \dfrac{4C}{\left[B + \sqrt{B^2 + 8C(K-1)}\right]\omega_c C_1}; \\ R_1 = C/\omega_c^2 C_1^2 R_2; \\ R_3 = KR_2/(K-1); \\ R_4 = KR_2, \end{cases} \qquad (16)$$

где C_1 имеет произвольное значение.

Если K=1, то в качестве сопротивления R_3 можно взять разомкнутую, а сопротивления R_4 — короткозамкнутую цепь, и в этом случае ОУ работает как повторитель напряжения, а сопротивления R_1 и R_2 не изменяются.

Полосно-пропускающие фильтры. Полосовой фильтр представляет собой устройство, которое пропускает сигналы в диапазоне частот с шириной полосы BW, расположенной приблизительно вокруг центральной частоты f_o (Гц) или $\omega_o=2\pi f_o$ (рад/с). На рис. 110 изображены идеальная и реальная амплитудно-частотные характеристики. В реальной характеристике частоты ω_L и ω_U представляют собой нижнюю и верхнюю частоты среза и определяют полосу пропускания $\omega_L \le \omega \le \omega_U$ и ее ширину $BW=\omega_U.- \omega_L$

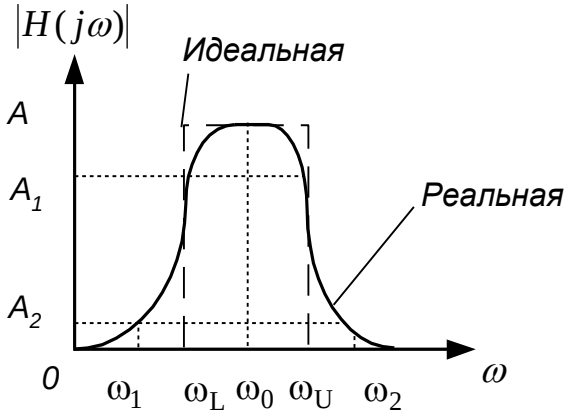


Рис. 110. Идеальная и реальная амплитудно-частотные характеристики полосового фильтра.

В полосе пропускания амплитудно-частотная характеристика никогда не превышает некоторого определенного значения, например A_1 на рис. 8.8. Существует также две полосы затухания $0 \le \omega \le \omega_1$ и $\omega \ge \omega_2$, где значение амплитудно-частотной характеристики никогда не превышает заранее выбранного значения, скажем A_2. Диапазоны частот между полосами задерживания и полосой пропускания, а именно $\omega_1 < \omega < \omega_L$ и $\omega_U < \omega < \omega_2$, образуют соответственно нижнюю и верхнюю переходные области, в которых характеристика является монотонной. Передаточные функции полосовых фильтров можно получить из нормированных функций нижних частот переменной s с помощью преобразования

$$S = \frac{s^2 + \omega_0^2}{BWs} = \frac{Q\left(s^2 + \omega_0^2\right)}{\omega_0 s}. \qquad (8.17)$$

Отношение $Q=\omega_o/BW$ характеризует качество самого фильтра и является мерой его избирательности. Высокому значению Q соответствует относительно узкая, а низкому значению Q — относительно широкая ширина полосы пропускания. Коэффициент усиления фильтра K определяется как значение его амплитудно-частотной характеристики на центральной частоте; таким образом $K=\left| H(j\omega_o) \right|$. В каждом случае центральная частота и частота среза связаны следующим соотношением:

$$\omega_0 = \sqrt{\omega_L \omega_U},$$

где

$$\begin{cases} \omega_L = \omega_0\left(-\dfrac{1}{2Q} + \sqrt{1 + \dfrac{1}{4Q^2}}\right); \\ \omega_U = \omega_0\left(\dfrac{1}{2Q} + \sqrt{1 + \dfrac{1}{4Q^2}}\right). \end{cases} \qquad (8.18)$$

Путем последовательного соединения ФНЧ и ФВЧ получаются полосовые фильтры с широкой полосой пропускания. При этом частота среза

фильтра нижних частот должна быть выше частоты среза верхних частот и лишь в частном случае эти частоты могут быть взяты равными.

Полосно-пропускающий фильтр на ИНУН

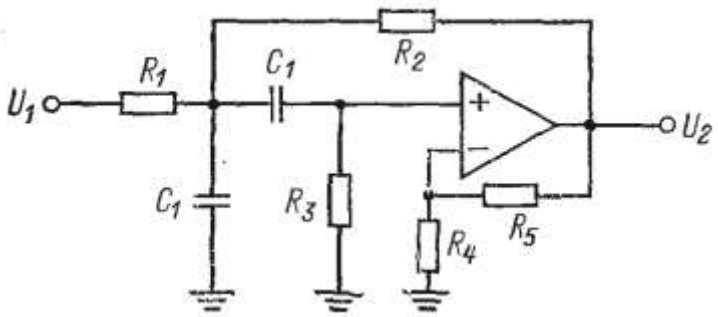


Рис. 111. Схема полосно-пропускающего фильтра на ИНУН

Схема на ИНУН, изображенная на рис. 111, реализует функцию полосно-пропускающего фильтра второго порядка

$$\frac{V_2}{V_1} = \frac{\rho\omega_0 s}{s^2 + \beta\omega_0 s + \gamma\omega_0^2} \qquad (19)$$

где

$$\left.\begin{aligned} \rho\omega_0 &= \mu / R_1 C_1; \\ \beta\omega_0 &= \frac{1}{C_1}\left[\frac{1}{R_1} + \frac{1}{R_2}(1-\mu) + \frac{2}{R_3}\right]; \\ \gamma\omega_0^2 &= \frac{1}{R_3 C_1^2}\left(\frac{1}{R_1} + \frac{1}{R_2}\right) \end{aligned}\right\} \qquad (20)$$

при

$$\mu = 1 + R_5 / R_4 . \qquad (21)$$

Значения сопротивлений для схемы, приведенной на рис.9, равны

$$\left.\begin{aligned}
&R_1 = \mu / \rho\omega_0 C_1;\\
&R_2 = \frac{2(\mu-1)}{\left[\rho(2/\mu-1)-\beta+\sqrt{(\rho-\beta)^2+8\gamma(\mu-1)}\right]\omega_0 C_1};\\
&R_3 = \frac{1}{\gamma\omega_0^2 C_1^2}\left(\frac{1}{R_1}+\frac{1}{R_2}\right);\\
&R_4 = R_3\mu/(\mu-1);\\
&R_5 = \mu R_3,
\end{aligned}\right\} \qquad (22)$$

где C1 и μ имеют произвольные значения и

$$\mu = 1 + R_5/R_4 > 1. \qquad (23)$$

Можно добиться значительного упрощения, если выбрать μ = 2 или, что эквивалентно, R4 = R5. В этом случае уравнение (22) имеет вид:

$$\left.\begin{aligned}
&R_1 = 2/\rho\omega_0 C_1\\
&R_2 = \frac{2(\mu-1)}{\left[-\beta+\sqrt{(\rho-\beta)^2+8\gamma}\right]\omega_0 C_1}\\
&R_3 = \frac{1}{\gamma\omega_0^2 C_1^2}\left(\frac{1}{R_1}+\frac{1}{R_2}\right);\\
&R_4 = R_5 = 2R_3.
\end{aligned}\right\} \qquad (24)$$

Этот полосно-пропускающий фильтр на ИНУН обладает теми же преимуществами, что и рассмотренные ранее фильтры на ИНУН нижних и верхних частот. Он обеспечивает неинвертирующий коэффициент усиления и может реализовывать при небольших коэффициентах усиления значения добротности Q < 10.

Полосно-заграждающие фильтры. Полосно-заграждающий фильтр (называется также полосно-задерживающим или полосно-исключающим, или V-образным) представляет собой устройство, которое подавляет сигналы в единственной полосе частот и пропускает сигналы со всеми другими частотами. Эта полоса подавления характеризуется шириной BW и расположена приблизительно

вокруг центральной частоты ω_0 (рад/с), или $f_0=\omega_0/2\pi$ (Гц). Идеальная и реальная амплитудно-частотные характеристики полосно-заграждающего фильтра изображены на рис. 112.

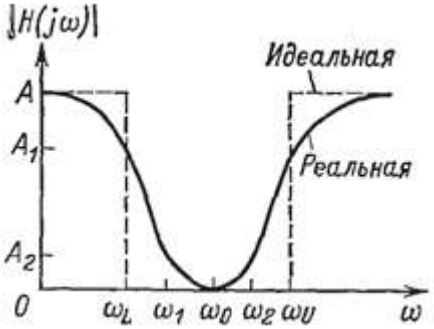


Рис. 112. Идеальная и реальная амплитудно-частотная характеристика полосно-заграждающего фильтр.

Для реальной амплитудно-частотной характеристики частоты ω_L и ω_U представляют собой нижнюю и верхнюю частоты среза, определяющие полосу подавления $\omega_L \le \omega \le \omega_U$ и ее ширину $BW=\omega_L - \omega_U$ Все эти параметры имеют свои аналоги в рассмотренном в п. 4 полосовом фильтре. , Что же касается реальной характеристики, показанной на рис. 112, то в полосе подавления она никогда не превосходит некоторого заранее выбранного значения, например A_2. Существуют также две полосы пропускания $0 \le \omega \le \omega_L$ и $\omega \ge \omega_U$, где значение амплитудно-частотной характеристики всегда больше A_1. Определим полосу затухания как диапазон частот $\omega_1 \le \omega \le \omega_2$, где значение амплитудно-частотной характеристики никогда не превосходит выбранного числа $A_2 < A_1$. Тогда диапазоны частот $\omega_L < \omega < \omega_1$ и $\omega_2 < \omega < \omega_U$ называются соответственно нижней и верхней переходными областями и в них характеристика монотонна.

Соотношение $Q=\omega_0 / BW$, как и в полосовом аналоге, характеризует добротность этого фильтра и определяет его избирательность. Высокому значению Q соответствует относительно узкая, а низкому значению Q относительно широкая полоса частот. Коэффициент усиления K фильтра представляет собой

значение его амплитудно-частотной характеристики, снятую при постоянном токе, т. е. $K=|H(j0)|$.

Полосно-заграждающие передаточные функции можно получить из нормированных функций нижних частот переменной S с помощью преобразования типа

$$S=\frac{BW\cdot s}{s^2+\omega_0^2}=\frac{\omega_0 s}{Q(s^2+\omega_0^2)}; \qquad (25)$$

Следовательно, подобно полосовому фильтру полосно-заграждающий фильтр всегда имеет четный порядок n=2, 4, 6 ... Результирующий полосно-заграждающий фильтр в зависимости от соответствующей ему функции нижних частот имеет характеристику фильтра Баттерворта, Чебышева, инверсного Чебышева или эллиптического. Амплитудно-частотная характеристика полосно-заграждающего фильтра Баттерворта изменяется монотонно по любую сторону от его частоты подавления или центральной частоты, как показано на рис. 8.10. Полосно-заграждающий фильтр Чебышева обладает пульсациями в полосе пропускания, а полосно-заграждающий инверсный фильтр Чебышева — в полосе задерживания. Для полосно-заграждающего эллиптического фильтра характерны пульсации как в полосе пропускания, так и в полосе задерживания. В каждом случае центральная частота и частоты среза связаны следующим соотношением: $\omega_0=\sqrt{\omega_L\omega_U}$.

Частоты полосы пропускания

$$\omega_L=\omega_0\left(-\frac{1}{2Q}+\sqrt{1+\frac{1}{4Q^2}}\right);$$
$$\omega_U=\omega_0\left(\frac{1}{2Q}+\sqrt{1+\frac{1}{4Q^2}}\right). \qquad (26)$$

частоты полосы затухания

$$\omega_1 = \omega_0\left(-\frac{1}{2\Omega_S Q} + \sqrt{1+\frac{1}{4\Omega_S^2 Q^2}}\right);$$
$$\omega_2 = \omega_0\left(\frac{1}{2\Omega_S Q} + \sqrt{1+\frac{1}{4\Omega_S^2 Q^2}}\right). \qquad (27)$$

где частота Ω_S представляет собой начало полосы задерживания соответствующего фильтра нижних частот. Другими словами,

$$\Omega_S = 1 + TW, \qquad (28)$$

где TW — нормированная ширина переходной области соответствующего фильтра нижних частот, определенная ранее уравнениями

$$\frac{TW}{\omega_c} = \sqrt[2n]{10^{\alpha_2/10} - 1} - 1, \qquad (29)$$

$$\frac{TW}{\omega_c} = \mathrm{ch}\left(\frac{1}{n}\,\mathrm{arch}\sqrt{\frac{10^{\alpha_2/10}-1}{10^{\alpha_1/10}-1}}\right) - 1, \qquad (30)$$

$$\frac{TW}{\omega_c} = \mathrm{ch}\left(\frac{1}{n}\,\mathrm{arch}\sqrt{10^{\alpha_2/10}-1}\right) - 1, \qquad (31)$$

при ω_C=1 для характеристик фильтров Баттерворта, Чебышева и инверсных Чебышева.

Полосно-заграждающие фильтры на инун. Схема на ИНУН, изображенная на рис. 113, реализует передаточную функцию полосно-заграждающего фильтра второго порядка $\frac{V_2}{V_1} = \frac{\rho(s^2 + \alpha\omega_0^2)}{s^2 + \beta\omega_0 s + \gamma\omega_0^2}$, где (32)

$$\rho = 1;$$
$$\alpha\omega_0^2 = \gamma\omega_0^2 = \frac{1}{R_1 R_2 C_1^2}; \qquad (33)$$
$$\beta\omega_0 = 2/R_2 C_1$$

при условии, что

$$1/R_3 = 1/R_1 + 1/R_2. \qquad (34)$$

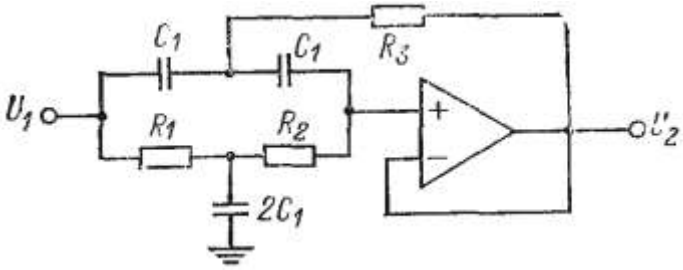


Рис. 113. Схема полосно-заграждающего фильтра на ИНУН

Из первых двух соотношений в (33) следует, что коэффициент усиления фильтра K =1, а α = γ. Следовательно, эта схема предназначена только для фильтров второго порядка или звеньев, получаемых из звена нижних частот первого порядка.

Решая эти уравнения относительно значений сопротивлений при замене параметров ρ, α, β и γ из

$$\frac{V_2}{V_1} = \frac{K(s^2 + \omega_0{}^2)}{s^2 + (\omega_0/CQ)\,s + \omega_0{}^2}, \qquad (35)$$

получаем

$$R_1 = \frac{\beta}{2\alpha\omega_0 C_1} = \frac{1}{2CQ\omega_0 C_1};$$

$$R_2 = \frac{2}{\beta\omega_0 C_1} = \frac{2CQ}{\omega_0 C_1}; \qquad (36)$$

$$R_3 = 1\Big/\left(\frac{1}{R_1} + \frac{1}{R_2}\right) = \frac{R_1 R_2}{R_1 + R_2},$$

где C_1 имеет произвольное значение. Определяемый уравнением

$$\frac{V_2}{V_1} = \frac{K(s^2 + \omega_0{}^2)}{s^2 + (\omega_0/Q)\,s + \omega_0{}^2}, \qquad (37)$$

случай получается при подстановке C = 1. Можно выбрать значение емкости C_1 (предпочтительно близкое к $10/f_0$ мкФ), а затем определить сопротивления.

Определенным преимуществом схемы на ИНУН является минимальное число элементов и неинвертирующий коэффициент усиления. Для Q>10

получается нежелательный разброс значений элементов. Следовательно, для обеспечения хороших рабочих характеристик значение Q должно быть меньше или равно 10. Недостатком этой схемы является ограничение на коэффициент усиления, который равен 1.

Полосовой фильтр с параллельной обратной связью. Показанная на рис.114. схема с параллельной обратной связью может содержать или не содержать сопротивление R_2. Ниже приводятся процедуры вычисления параметров компонентов схем с сопротивлением R_2 и без него. Сопротивление R_2 позволяет устанавливать желаемую величину коэффициента усиления в полосе пропускания.

Процедура расчета для схемы без R_2:

1. Выбрать f_1 и f_2 и операционным усилитель, имеющий на этих частотах $A > 2Q^2$.

2. Для выбранных f_1 и f_2 найти f_0 и Q по формулам

$f_0 = \sqrt{f_1 f_2}$ и $Q = \frac{f_0}{f_2 - f_1}$. Если окажется, что Q>15, то следует использовать схему универсального фильтра или биквадратный фильтр. Если же Q<15, то можно действовать дальше.

3. Выбрать C_1=C_2=C и найти:

$R_1 = \frac{1}{4\pi f_0 QC}$, $R_3 = \frac{1}{2\pi f_0 C}$

4. Рассчитать $K_П$ по формуле $K_П=2Q^2$.

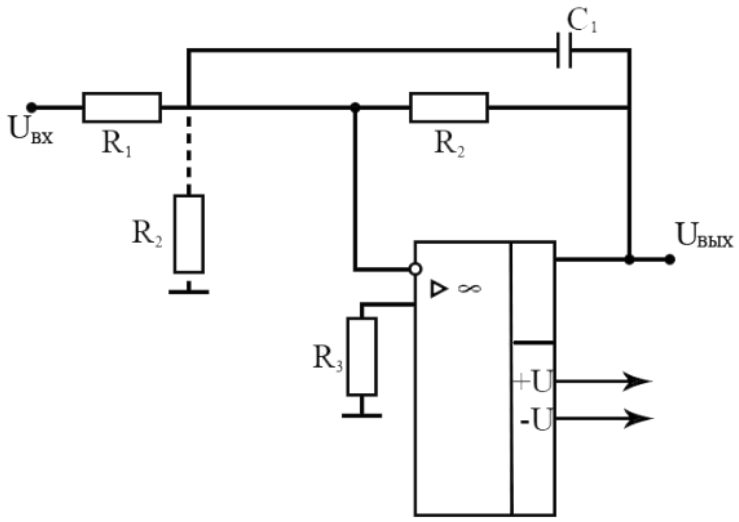


Рис.114. Полосовой фильтр с параллельной обратной связью

Процедура расчета для схемы с R_2:

1. Выбрать f_1 и f_2 Операционный усилитель должен на этих частотах иметь $A > 2Q^2$, где Q определяется по выбранным значениям f_1 и f_2 в следующем пункте.

2. Рассчитать f_0 и Q по формулам:

$f_0 = \sqrt{f_1 f_2}$ и $Q=\frac{f_0}{f_2-f_1}$.

3. Если полученное значение Q<15, выбрать желаемое значение $K_П$ коэффициента усиления в полосе пропускания; выбор $K_П$ ограничен условием $K_П < 2Q^2$.

4. Выбрать $C_1=C_2=C$ и вычислить

$R_1 = \frac{Q}{2\pi f_0 C K_П}$,

$R_2 = \frac{Q}{2\pi f_0 C(2Q^2-K_П)}$,

$R_3 = \frac{2Q}{2\pi f_0 C}$.

5. Проверить величину $K_П$ по формуле

$K_П = \frac{R_3}{2R_1}$.

Настройка схемы с параллельной обратной связью производится следующим образом:

1) f_0 устанавливается с помощью одновременного изменения C_1 и C_2 или R_1 и R_2;

2) Q устанавливается с помощью изменения величины отношения R_3/R_1, причем произведение R_3R_1 должно оставаться постоянны;

3) коэффициент усиления в полосе пропускания устанавливается с помощью изменения R_2.

Пример№1. Рассчитать компоненты схемы с параллельной обратной связью без R_2, реализующей полосовой фильтр. Отсутствие R_2 обеспечивает

максимальное значение коэффициента усиления в полосе пропускания. Фильтр должен иметь f_1=4,5 кГц и f_2=5,5 кГц.

Решение:

$$f_0 = \sqrt{f_1 f_2} = \sqrt{(4{,}5\ \text{кГц}) \cdot (5{,}5\ \text{кГц})} = 4{,}975\ \text{кГц},$$

$Q = \frac{f_0}{f_2 - f_1} = 4{,}975$. Выберем $C=C_1=C_2$=0,001 мкФ.

$$R_1 = \frac{1}{4\pi f_0 QC} = \frac{1}{4\pi \cdot 4{,}975\ \text{кГц} \cdot 4{,}975 \cdot 0{,}001\ \text{мкФ}} = 3{,}215\ \text{кОм}$$

Используем номинал 3,32 кОм ±2%.

$$К_П = 2Q^2 = 2 \cdot (4{,}975)^2 = 49{,}5.$$

На частоте 5 кГц практически любой операционный усилитель имеет A>>50, так что выбор пригодного для данной задачи усилителя не вызывает затруднений.

Задание для самостоятельной работы:

№ варианта	f_1 (кГц)	f_2 (кГц)	C (мкФ)	№ варианта	f_1 (кГц)	f_2 (кГц)	C (мкФ)
1	2	3	0,001	11	2	3	0,001
2	3	4	0,005	12	3	4	0,005
3	4,5	5,5	0,003	13	4,5	5,5	0,003
4	5	6	0,006	14	5	6	0,006
5	4	5	0,003	15	4	5	0,003
6	6	7	0,009	16	6	7	0,009
7	4	5	0,007	17	4	5	0,007
8	2,5	3,5	0,009	18	2,5	3,5	0,009
9	4,5	5,5	0,001	19	4,5	5,5	0,001
10	3,5	4,5	0,002	20	3,5	4,5	0,002

Пример№2. Рассчитать компоненты полосового фильтра с параллельной обратной связью, имеющего f_1= 760 Гц, f_2= 890 Гц и $К_П$ =10. Поскольку величина $К_П$ задается, надо использовать схему с R_2.

Решение:

$$f_0 = \sqrt{f_1 f_2} = \sqrt{(760\ Гц) \cdot (890\ Гц)} = 822{,}4\ Гц,$$

$$Q = \frac{f_0}{f_2 - f_1} = \frac{822{,}4\ Гц}{890\ Гц - 760\ Гц} = 6{,}326.$$

Выберем $C=C_1=C_2$=0,0047 мкФ.

Рассчитаем R_1, R_2 и R_3:

$$R_1 = \frac{Q}{2\pi f_0 C К_П} = \frac{6{,}326}{2\pi \cdot 822{,}4\ Гц \cdot 0{,}0047\ мкФ \cdot 10} = 26\ кОм$$

Используем номинал 26,1 кОм ±2%.

$$R_2 = \frac{Q}{2\pi f_0 C(2Q^2 - К_П)} = \frac{6{,}326}{2\pi \cdot 822{,}4\ Гц \cdot 0{,}0047\ мкФ \cdot (2 \cdot 6{,}326^2 - 10)} = 3{,}84\ кОм$$

Используем номинал 3,83 кОм ±2%.

$$R_3 = \frac{2Q}{2\pi f_0 C} = \frac{6{,}326}{2\pi \cdot 822{,}4\ Гц \cdot 0{,}0047\ мкФ} = 521\ кОм$$

Используем номинал 511 кОм ±2%.

Проверим величину $К_П$:

$$К_П = \frac{R_3}{2R_1} = \frac{511\ кОм}{2 \cdot 26{,}1\ кОм} = 9{,}79$$

Если нас устраивает полученное значение $К_П$=9,79 вместо желаемого $К_П$=10, то расчет можно считать законченным. В противном случае следует немного увеличить R_3 и немного уменьшить R_1.

Задание для самостоятельной работы:

№ варианта	f_1 (кГц)	f_2 (кГц)	$К_П$	C (мкФ)	№ варианта	f_1 (кГц)	f_2 (кГц)	$К_П$	C (мкФ)
1	2	3	4	0,001	11	2	3	4	0,001

2	3	4	5	0,005	12	3	4	5	0,005
3	4,5	5,5	6	0,003	13	4,5	5,5	6	0,003
4	5	6	7	0,006	14	5	6	7	0,006
5	4	5	8	0,003	15	4	5	8	0,003
6	6	7	9	0,009	16	6	7	9	0,009
7	4	5	10	0,007	17	4	5	10	0,007
8	2,5	3,5	11	0,009	18	2,5	3,5	11	0,009
9	4,5	5,5	12	0,001	19	4,5	5,5	12	0,001
10	3,5	4,5	13	0,002	20	3,5	4,5	13	0,002

Ниже приведена процедура расчета компонентов схемы универсального фильтра с единичным усилением, показанной на рис.115.

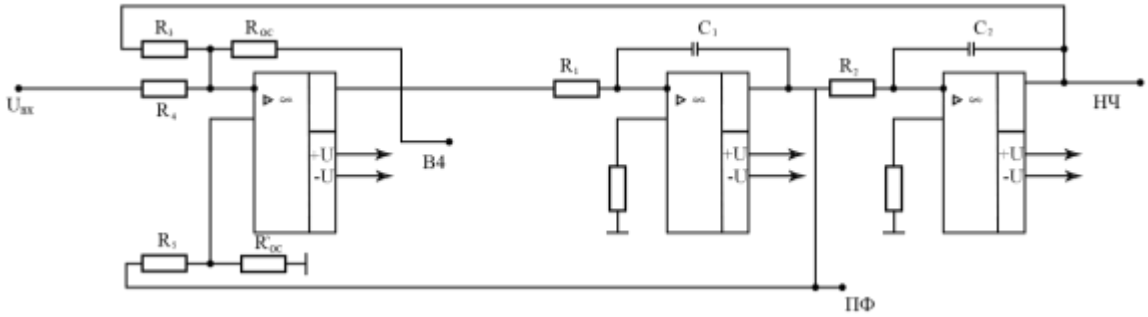


Рис 115. Схема универсального активного фильтра второго порядка с единичным коэффициентом

Процедура расчета для универсальных фильтров с единичным усилением. Фильтры верхних и нижних частот:

1. Выбрать величину $f_{3Дб}$ и тип фильтра.

2. Найти отношение $f_{3Дб}/ f_{ср}$. Если $f_{3Дб} / f_{ср} \neq 1$, вычислить $f_{ср}$.

3. Положить $R_1=R_2=R_3=R_4=R_{ос}=R'_{ос}=R$.

Выбрать $C=C_1=C_2$ и найти $R = \frac{1}{2\pi f_{ср} C}$.

4. Найти R_5 по формуле:

$$R_5 = R'_{ос}\left(\frac{3}{\alpha} - 1\right)$$

Настройка схемы:

1) Настройте $f_{ср}$ с помощью одновременного изменения R_1 и R_2 или C_1 и C_2.

2) Настройте α с помощью изменения $R'_{ос}$.

Процедура расчета для универсальных фильтров с единичным усилением.

Полосовой фильтр.

1. Выбратъ f_1 и f_2. Для универсального фильтра с единичным усилением $К_П$=Q.

2. Найти f_0 и Q. Величина Q может достигать значения 100.

3. Выбрать $C=C_1=C_2$ и рассчитать $R=R_1=R_2=R_3=R_4=R_{OC}=R'_{OC}$

по формуле $R = \frac{1}{2\pi f_{ср} C}$.

4. Найти R_5 по формуле $R_5=R'_{OC}(3Q-1)$.

Настройка фильтра:

1) Настройте f_0 с помощью одновременного изменения R_1 и R_2 C_1 и C_2.

2) Настройте Q с помощью изменения R'_{OC}.

Пример№3. Рассчитать компоненты схемы универсального фильтра с единичным усилением, реализующей фильтр нижних частот Чебышева. Порядок фильтра равен двум, $f_{3Дб}$=12 кГц, неравномерность характеристики 2дБ. Значение коэффициента усиления в полосе пропускания фиксировано и равно единице.

Решение:

Находим $f_{3дб}/f_{ср}$=1,074; α=0,886,

поэтому

$$f_{ср} = \frac{f_{ср}}{1{,}074} = \frac{12\ кГц}{1{,}074} = 11{,}174\ кГц$$

.

Положим $C_1=C_2=C$=0,001 мкФ и $R=R_1=R_2=R_3=R_4=R_{OC}=R'_{OC}$

Тогда

$$R = \frac{1}{2\pi f_{ср} C} = \frac{1}{2\pi \cdot 11{,}174\ кГц \cdot 0{,}001\ мкФ} = 14{,}2\ кОм$$

.

Используем номинал 14 кОм ±2%.

$R_5=R'_{ос}(3/\alpha-1)=14$ кОм $(3/0,886-1)=33,4$ кОм.

Используем номинал 33,2 кОм ±2%.

Задание для самостоятельной работы:

№ варианта	$f_{3Дб}$ (кГц)	$f_{3дб}/f_{ср}$	α	С (мкФ)
1	23	1,074	0,886	0,006
2	45	1,074	0,886	0,007
3	50	1,074	0,886	0,002
4	14	1,074	0,886	0,001
5	25	1,074	0,886	0,009
6	12	1,074	0,886	0,004
7	24	1,074	0,886	0,001
8	45	1,074	0,886	0,005
9	27	1,074	0,886	0,003
10	35	1,074	0,886	0,008
11	50	1,074	0,886	0,002
12	28	1,074	0,886	0,001
13	23	1,074	0,886	0,007
14	45	1,074	0,886	0,009
15	50	1,074	0,886	0,006
16	14	1,074	0,886	0,003
17	25	1,074	0,886	0,006
18	12	1,074	0,886	0,009
19	24	1,074	0,886	0,006
20	45	1,074	0,886	0,004

Пример№4. Рассчитать компоненты схемы универсального фильтра с единичным усилением, реализующей полосовой фильтр. Фильтр должен иметь f_1=940 Гц и f_2=1 кГц.

Решение:

$$f_0 = \sqrt{f_1 f_2} = \sqrt{940\ \text{Гц} \cdot 1\ \text{кГц}} = 969{,}5\ \text{Гц},$$

$$Q = \frac{f_0}{f_2 - f_1} = \frac{969{,}5\ \text{Гц}}{1\ \text{кГц} - 940\ \text{Гц}} = 16{,}15$$

Положим:

C_1=C_2=C=0,033 мкФ и R=R_1=R_2=R_3=R_4=$R_{ос}$=$R'_{ос}$.

Тогда

$$R = \frac{1}{2\pi f_0 C} = \frac{1}{2\pi \cdot 969{,}5\ \text{Гц} \cdot 0{,}033\ \text{мкФ}} = 4{,}97\ \text{кОм}$$

Используем номинал 5,11 кОм ±2%.

R_5= (3Q-1) $R'_{ос}$=(3·16,15-1)·5,11 кОм=243 кОм.

Используем номинал 237 кОм ±2%.

Сбалансируйте схему сложения - вычитания, если это окажется необходимым

$$К_П = Q = 16{,}15.$$

Задание для самостоятельной работы:

№ варианта	f_1(Гц)	f_2 (кГц).	C (мкФ)	№ варианта	f_1(Гц)	f_2 (кГц).	C (мкФ)
1	600	1	0,044	11	800	1	0,045
2	350	2	0,035	12	900	1	0,033
3	400	3	0,033	13	850	2	0,056
4	200	2	0,026	14	250	3	0,098
5	500	3	0,078	15	400	2	0,034
6	700	1	0,025	16	550	2	0,033
7	350	1	0,089	17	250	3	0,023
8	550	2	0,026	18	600	1	0,056

9	650	3	0,045	19	650	1	0,033
10	750	2	0,023	20	450	2	0,087

Процедура расчета компонентов схемы универсального активного фильтра с изменяемым коэффициентом усиления. Как и в случае универсальных активных фильтров с единичным усилением, процедуры расчета схемы универсального активного фильтра с изменяемым коэффициентом усиления (рис.116.) идентичны для фильтров верхних и нижних частот, а для расчета схемы полосового фильтра служит отдельная процедура.

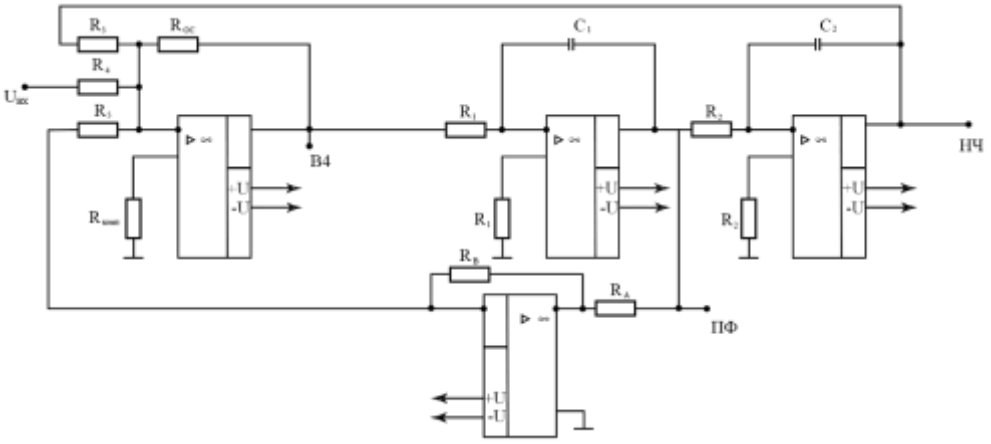


Рис 116. Схема универсального активного фильтра второго порядка с изменяемым коэффициентом усиления

Процедуры расчета для универсальных фильтров с изменяемым коэффициентом усиления. **Фильтры верхних и нижних частот:**

1. Найти $f_{3Д6}/f_{ср}$ и α, соответствующие выбранному типу фильтра. Если $f_{3Д6}/f_{ср}\neq1$, найти $f_{ср}$.

2. Выбрать $C=C_1=C_2$ и $R=R_1=R_2=R_3=R_4=R_5=R_{ос}=R_A$, найти R по формуле

$$f_{ср} = \frac{1}{2\pi RC}.$$

3. По заданному $K_П$ найти R_4.

Так как $K_П = \frac{R_{ос}}{R_4}$, то $R_4 = \frac{R_{ос}}{K_П}$.

4. Найти R_B по формуле $R_B=\alpha R_A$

Настройка:

1) Установить α путем изменения R_A или R_B

2) Установить $K_П$ с помощью изменения R_4.

3) Установить $f_{ср}$ путем одновременного изменения R_1 и R_2 или C_1 и C_2.

Процедура расчета для универсальных фильтров с изменяемым коэффициентом усиления. **Полосовой фильтр:**

1. Выбрать f_1, f_2 и $K_П$. Найти f_0 и Q по формулам $f_0 = \sqrt{f_1 f_2}$,

$$Q = \frac{f_0}{f_2 - f_1} \leq 150$$

2. Найти G – коэффициент пропорциональности между $K_П$ и Q.

Так как $K_П = GQ$, то $G = \frac{K_П}{Q}$.

3. Выбрать $C=C_1=C_2$.

Положить $R=R_1=R_2=R_3=R_4=R_5=R_{ос}=R_A$, найти R по формуле

$R = \frac{1}{2\pi f_0 C}$.

4. Найти R_4 по формуле $R_4 = \frac{R_{ос}}{G}$.

5. Найти R_B по формуле $R_B = \frac{R_A}{Q}$.

Замечание. Если $R_B < \frac{U_{вых}}{I_{вых.max.}}$ данного операционного усилителя, то надо увеличить и повторить вычисление R_B.

Пример№5. Рассчитать схему универсального фильтра с изменяемым коэффициентом усиления, реализующую фильтр верхних частот Баттерворта. Порядок фильтра равен двум, $f_{ср}$= 1,5 кГц, $K_П$=5.

Решение:

Находим $f_{3дб}/f_{ср}$=1, α=1,414. Положим $C=C_1=C_2$=0,0068 мкФ и $R=R_1=R_2=R_3=R_4=R_5=R_{ос}=R_A$ и найдем R:

$$R = \frac{1}{2\pi f_{ср} C} = \frac{1}{2\pi \cdot 1{,}5\ кГц \cdot 0{,}0068\ мкФ} = 15{,}6\ кОм$$

Используем номинал 15,4 кОм ±2%.

Найдем R_B:

$R_B=\alpha R_A=1{,}414\cdot 15{,}4$ кОм=21,8 кОм.

Используем номинал 21,5 кОм ±2%.

Найдем R_4:

$$R_4=\frac{R_{ос}}{K_П}=\frac{15{,}4\ кОм}{5}=3{,}08\ кОм$$

Используем номинал 3,01 кОм ±2%.

Найдем $R_{комп}$:

$$R_{комп.}=R_3\|R_{ос}\|R_4\|R_5=1{,}934\ кОм$$

Используем номинал 1,96 кОм ±2%.

Задание для самостоятельной работы:

№ варианта	$f_{3дб}/f_{ср}$	$f_{ср}$ (кГц)	$K_П$	α	C (мкФ)	№ варианта	$f_{3дб}/f_{ср}$	$f_{ср}$ (кГц)	$K_П$	α	C (мкФ)
1	2	3	4	1,414	0,001	11	2	3	4	1,414	0,001
2	3	4	5	1,414	0,005	12	3	4	5	1,414	0,005
3	4,5	5,5	6	1,414	0,003	13	4,5	5,5	6	1,414	0,003
4	5	6	7	1,414	0,006	14	5	6	7	1,414	0,006
5	4	5	8	1,414	0,003	15	4	5	8	1,414	0,003
6	6	7	9	1,414	0,009	16	6	7	9	1,414	0,009
7	4	5	10	1,414	0,007	17	4	5	10	1,414	0,007
8	2,5	3,5	11	1,414	0,009	18	2,5	3,5	11	1,414	0,009
9	4,5	5,5	12	1,414	0,001	19	4,5	5,5	12	1,414	0,001
10	3,5	4,5	13	1,414	0,002	20	3,5	4,5	13	1,414	0,002

Пример№6. Рассчитать схему универсального фильтра с изменяемым коэффициентом усиления, реализующую полосовой фильтр с f_1=2,2 кГц, f_2=2,3 кГц и $K_П$=10.

Решение:

$$f_0=\sqrt{f_1f_2}=\sqrt{2{,}2\ кГц\cdot 2{,}3\ кГц}=2{,}249\ кГц,$$

$$Q = \frac{f_0}{f_2 - f_1} = \frac{2{,}249\ \text{кГц}}{2{,}3\ \text{кГц} - 2{,}2\ \text{кГц}} = 22{,}5,\ G = \frac{К_П}{Q} = \frac{10}{22{,}5} = 0{,}444.$$

Положим $C=C_1=C_2=0{,}0033$ мкФ и $R=R_1=R_2=R_3=R_4=R_5=R_{ос}=R_A$ и найдем R:

$$R = \frac{1}{2\pi f_0 C} = \frac{1}{2\pi \cdot 2{,}249\ \text{кГц} \cdot 0{,}0033\ \text{мкФ}} = 21{,}44\ \text{кОм}$$

Используем номинал 21,5 кОм ±2%.

Найдем R_B:

$$R_B = \frac{R_A}{Q} = \frac{21{,}55\ \text{кОм}}{22{,}5} = 956\ \text{Ом}$$

Используем номинал 953 Ом ±2%.

Найдем R_4:

$$R_4 = \frac{R_{ос}}{G} = \frac{21{,}5\ \text{кОм}}{0{,}444} = 48{,}4\ \text{кОм}$$

Используем номинал 48,71 кОм ±2%.

Найдем $R_{комп}$:

$$R_{комп.} = R_3 \| R_{ос} \| R_4 \| R_5 = 2{,}9\ \text{кОм}$$

Используем номинал 2,87 кОм ±2%.

Задание для самостоятельной работы:

№ варианта	f_1 (кГц)	f_2 (кГц)	$К_П$	C (мкФ)	№ варианта	f_1 (кГц)	f_2 (кГц)	$К_П$	C (мкФ)
1	2	3	4	0,001	11	2	3	4	0,001
2	3	4	5	0,005	12	3	4	5	0,005
3	4,5	5,5	6	0,003	13	4,5	5,5	6	0,003
4	5	6	7	0,006	14	5	6	7	0,006
5	4	5	8	0,003	15	4	5	8	0,003
6	6	7	9	0,009	16	6	7	9	0,009
7	4	5	10	0,007	17	4	5	10	0,007
8	2,5	3,5	11	0,009	18	2,5	3,5	11	0,009

9	4,5	5,5	12	0,001	19	4,5	5,5	12	0,001
10	3,5	4,5	13	0,002	20	3,5	4,5	13	0,002

Процедура расчета схемы биквадратного полосового фильтра, показанного на рис.117, состоит в следующем:

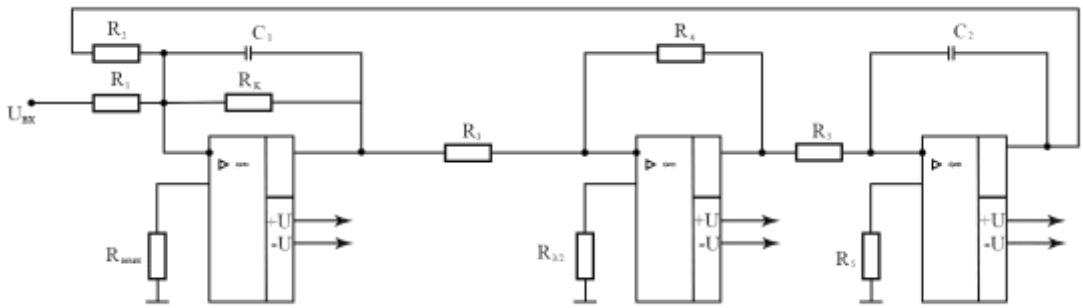


Рис.117. Биквадратный полосовой фильтр

1. Выбрать f_1, f_2 и $K_П$. Вычислить f_0 и Q по формулам $f_0 = \sqrt{f_1 f_2}$, $Q = \frac{f_0}{f_2 - f_1}$.

2. Вычислить $G = \frac{K_П}{Q}$.

3. Вычислить R_1 и R_K по формулам $R_1 = \frac{G}{2\pi f_0 C}$, $R_1 = \frac{Q}{2\pi f_0 C}$.

4. Положим $R=R_2=R_3=R_4=R_5$ и вычислить R по формуле

$R = \frac{1}{2\pi f_0 C}$.

Настройка:

1) Установить f_0 с помощью изменения R_2.

2) Установить Q путем изменения R_K.

3) Установить $K_П$ с помощью изменения R_1

Пример№7. Рассчитать биквадратный полосовой фильтр, имеющий f_1=97 Гц, f_2=102 Гц и $K_П$=10.

Решение:

$f_0 = \sqrt{f_1 f_2} = \sqrt{102\ Гц \cdot 97\ Гц} = 99{,}47\ Гц$,

$$Q = \frac{f_0}{f_2 - f_1} = \frac{99{,}47\ \text{Гц}}{5\ \text{Гц}} = 19{,}9,\ G = \frac{Q}{K_П} = \frac{19{,}9}{10} = 1{,}99.2$$

Положим $C=C_1=C_2=0{,}047$ мкФ и $R=R_2=R_3=R_4=R_5$.

Найдем R:

$$R = \frac{1}{2\pi f_0 C} = \frac{1}{2\pi \cdot 99{,}47\ \text{кГц} \cdot 0{,}047\ \text{мкФ}} = 34\ \text{кОм}$$

Используем номинал 34,8 кОм ±2%.

Найдем R_1:

$$R_1 = \frac{Q}{2\pi f_0 C} = \frac{1{,}99}{2\pi \cdot 99{,}47\ \text{кГц} \cdot 0{,}047\ \text{мкФ}} = 67{,}7\ \text{кОм}$$

Используем номинал 68,1 кОм ±2%.

Найдем R_K:

$$R_K = \frac{Q}{2\pi f_0 C} = \frac{1{,}99}{2\pi \cdot 99{,}47\ \text{кГц} \cdot 0{,}047\ \text{мкФ}} = 67{,}7\ \text{кОм}$$

Используем номинал 681 кОм ±2%.

Для обеспечения баланса по токам смещения положим сопротивление на не инвертирующем входе операционного усилителя равным $R_3/2$=34,8 кОм/2=17,4 кОм и используем номинал 17,4 кОм ±2%.

Найдем $R_{комп}$:

$$R_{комп.} = R_K \| R_1 \| R_2 = 21{,}9\ \text{кОм}$$

Используем номинал 21,5 кОм ±2%.

Задание для самостоятельной работы:

№ варианта	f_1 (кГц)	f_2 (кГц)	$К_П$	C (мкФ)	№ варианта	f_1 (кГц)	f_2 (кГц)	$К_П$	C (мкФ)
1	2	3	2	0,0015	11	2	3	2	0,0015
2	3	4	4	0,0056	12	3	4	4	0,005
3	4,5	5,5	5	0,003	13	4,5	5,5	5	0,003
4	5	6	7	0,0067	14	5	6	7	0,0069
5	4	5	4	0,003	15	4	5	4	0,003

6	6	7	9	0,009	16	6	7	9	0,009
7	4	5	10	0,0075	17	4	5	10	0,0077
8	2,5	3,5	3	0,009	18	2,5	3,5	3	0,009
9	4,5	5,5	5	0,0014	19	4,5	5,5	5	0,0018
10	3,5	4,5	7	0,002	20	3,5	4,5	7	0,0022

Пример№8.

Дано : Частота фазы f_0=500 Гц; C_1=0,015 мкФ

Определить: R_1, R_2, R_3, C_2

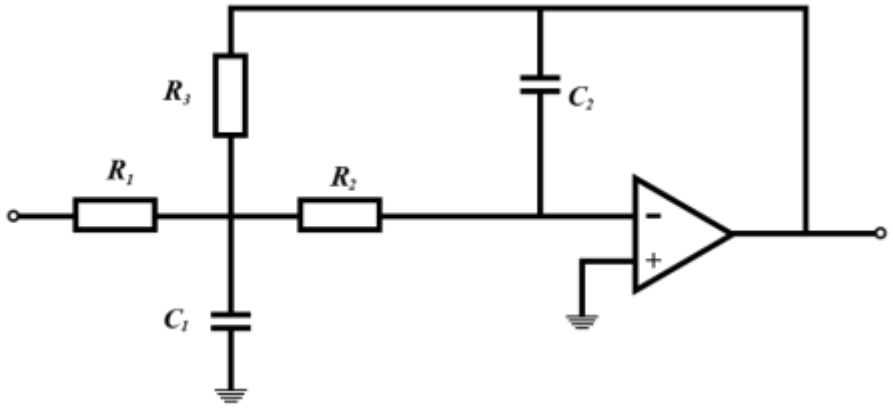


Рис.118. Фильтр нижних частот (Баттерворта)

Решение:

Определяем R_1 с помощью частоты среза

$f_0=0,45/R_1C_1$

$500=0,45/R_1\cdot 1,5\cdot 10^8$

$R_1=0,45/5\cdot 10^2\cdot 1,5\cdot 10^8$

$R_1=6\cdot 10^4$=60 кОм

Для определения C_2 пользуемся следующей формулой $C_2=4C_1$

C_1=0,015 мкФ;

$C_2=4\cdot 0,015=0,06$ мкФ

Для определения R_2 пользуемся следующей формулой

$R_1=2R_2$;

R_2=30 кОм;

Для определения R_3 пользуемся следующей формулой $R_3=R_1$;

R_3=60 кОм;

Задание для самостоятельной работы:

№ варианта	Частота среза f_0 (Гц);	Ёмкость конденсатора C_1(мкФ)
1	500	0,0047
2	600	0,68
3	400	0,33
4	800	0,0022
5	300	0,15
6	400	0,047
7	500	0,22
8	600	0,1
9	300	0,068
10	400	0,015
11	500	0,0047
12	600	0,68
13	400	0,33
14	800	0,0022
15	300	0,15
16	400	0,047
17	500	0,22
18	600	0,1
19	300	0,068
20	400	0,015

Пример№9.

Фильтр верхних частот.

Проектируйте двухполосный фильтр верхних частот с частотный среза 500 Гц;

Решение:

$R_2=4R_1$; $C_1=C_2$; $C_3=2C_1$;

Положим C_1=0,015 мкФ, тогда C_2=0,015 мкФ, и C_3=0,03 мкФ

$f_0=0{,}225/R_2C_2$

$R_2=0{,}225/f_0\cdot C_2$

$R_2=0{,}225/5\cdot 10^2\cdot 1{,}5\cdot 10^{-8}$

$R_2=3\cdot 10^4$Ом

R_2=30 кОм;

По соглашению $R_1=R_2/4$

R_1=7,5 кОм

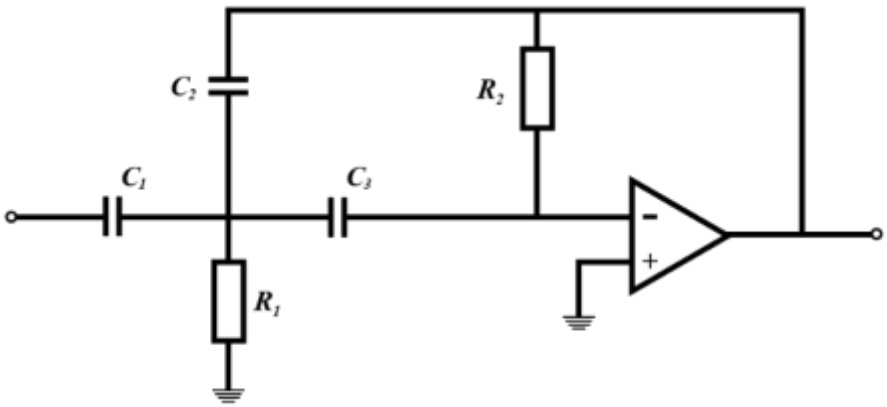


Рис.119. Фильтр нижних частот (Баттерворта)

$U_{так}$; R_1=7 500 Ом; R_2=30 000 Ом·C_1=0,015 мкФ; C_2=0,015 мкФ; C_3=0,03 мкФ;

Задание для самостоятельной работы:

№ варианта	Частота среза f_0 (Гц);	Ёмкость конденсатораC_1(мкФ)
1	700	0,0047
2	600	0,68
3	400	0,33
4	500	0,0022
5	300	0,15
6	400	0,047
7	600	0,22
8	600	0,1
9	300	0,068
10	200	0,015
11	500	0,0047
12	600	0,68
13	400	0,33
14	500	0,0022
15	300	0,15
16	400	0,047
17	500	0,22
18	600	0,1
19	700	0,068
20	400	0,015

Пример №10

Полосовой фильтр имеет верхнюю частоту по уровню – 3 ДБ, равную 52 Гц, а нижняя частота 3ДБ; 475 Гц; C_2=1 мкФ;

Определить остальные элементы.

Решение:

$f_0=(f_{0в}\cdot f_{0н})^{1/2}$

$f_0=0,159Q/R_1C_1$

Q–добротность фильтра.

$R_2=R_1R_3/(4Q^2R_1-R_3)$; $R_3=2R_1$; $C_1=C_2$;

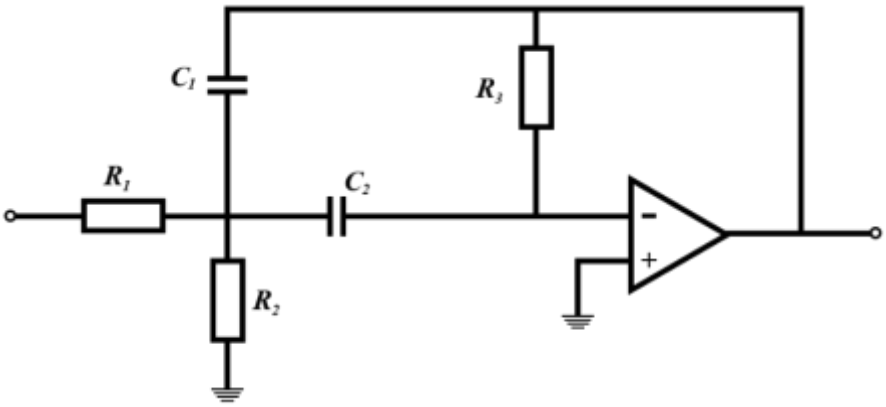


Рис.120. Полосовой фильтр верхних частот

$f_0=(525\cdot 475)^{1/2}$

$f_0=500$ Гц

Q=200/(525-975)

Q=(500/50)

Q=10

$R_1=0,159\cdot 10/(500\cdot 1\cdot 10^{-6})$

$R_1=3,18\cdot 10^2$ Ом

$R_1=3180$ Ом

$R_3=6360$ Ом

$C_1=1$ мкФ

$R_2=3180\cdot 6360\ (4\cdot 10^2\cdot 3180-6360)$ Ом

$R_1=16$ Ом

$R_1=0,159Q/f_0-C_1$

Задание для самостоятельной работы:

№ варианта	$f_{0в}$ (кГц)	$f_{0н}$ (кГц)	C (мкФ)	№ варианта	$f_{0в}$ (кГц)	$f_{0н}$ (кГц)	C (мкФ)
1	2	3	15	11	2	3	15
2	3	4	56	12	3	4	5
3	4,5	5,5	3	13	4,5	5,5	3
4	5	6	67	14	5	6	69
5	4	5	3	15	4	5	3
6	6	7	9	16	6	7	9
7	4	5	75	17	4	5	77
8	2,5	3,5	9	18	2,5	3,5	9
9	4,5	5,5	14	19	4,5	5,5	18
10	3,5	4,5	2	20	3,5	4,5	22

Пример №11. Рассчитать компонента фильтра нижних частот Саллена и Кея второго порядка. Фильтр должен иметь характеристику Баттерворта с $f_{3дб}$ = 2 кГц.

Решение:

Находим $f_{3дб}/f_{ср}$=1, поэтому $f_{3дб} = f_{ср}$ Выберем C = 0,1 мкФ = C_1= C_2. Положим R_1= R_2= R.

Из соотношения $f_{ср} = \frac{1}{2\pi RC}$ имеем:

$$R = \frac{1}{2\pi f_{ср} C} = \frac{1}{2\pi \cdot (2\ кГц) \cdot (0{,}1\ мкФ)} = 796\ Ом$$

Это значение несколько меньше значения, желательного при использовании операционного усилителя К1404Д7, поэтому выберем C = 0,047 мкФ и еще раз найдем R:

$$R = \frac{1}{2\pi f_{ср} C} = \frac{1}{2\pi \cdot (2\ кГц) \cdot (0{,}047\ мкФ)} = 1{,}69\ кОм$$

Используем номинал 1,69 кОм ±2%. Положим R_A равным 10 кОм и найдем R_B.

$$R_B = R_A(2 - \alpha) = 10\ кОм \cdot (2 - 1{,}414) = 5{,}86\ кОм.$$

Используем номинал 5,9 кОм ±2%. Коэффициент усиления определяется выбранным типом фильтра:

$$R = \frac{R_B}{R_A} + 1 = \frac{5{,}9\ кОм}{10\ кОм} + 1 = 1{,}59$$

Полученные значения компонентов относятся к схеме, показанной на рис. 8. Эта схема будет действовать как фильтр нижних частот Баттерворта второго порядка.

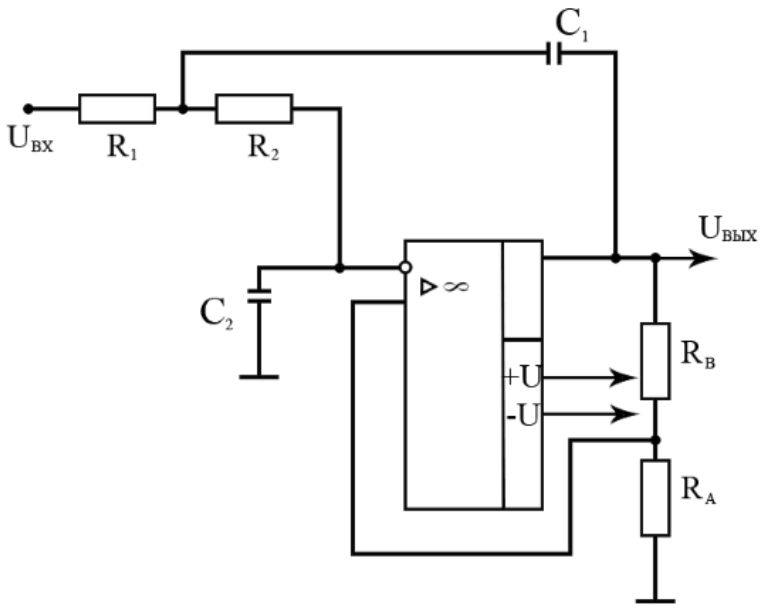


Рис.121. Активные фильтры Саллена-Кея

Задание для самостоятельной работы:

№ варианта	$f_{3дб}$ (кГц)	$f_{3дб}/f_{ср}$	α	C (мкФ)
1	23	1,074	0,886	0,006
2	45	1,074	0,886	0,007
3	50	1,074	0,886	0,002
4	14	1,074	0,886	0,001

5	25	1,074	0,886	0,009
6	12	1,074	0,886	0,004
7	24	1,074	0,886	0,001
8	45	1,074	0,886	0,005
9	27	1,074	0,886	0,003
10	35	1,074	0,886	0,008
11	50	1,074	0,886	0,002
12	28	1,074	0,886	0,001
13	23	1,074	0,886	0,007
14	45	1,074	0,886	0,009
15	50	1,074	0,886	0,006
16	14	1,074	0,886	0,003
17	25	1,074	0,886	0,006
18	12	1,074	0,886	0,009
19	24	1,074	0,886	0,006
20	45	1,074	0,886	0,004

Пример№12. Рассчитать компоненты фильтра верхних частот Саллена и Кея второго порядка. Фильтр должен иметь характеристику Чебышева с неравномерностью 1 дБ и частотой среза $f_{3дб}$=3 кГц.

Решение:

$f_{3дб}/f_{ср}$=1,218, α=1,059,

$f_{ср} = f_{3дб} \cdot (1{,}218) = 3\ кГц \cdot (1{,}218) = 3{,}654\ кГц.$

Положим $C=C_1=C_2$ и $R=R_1=R_2$. Если выбрать C равным 0,022 мкФ, то

$$R = \frac{1}{2\pi f_{ср} C} = \frac{1}{2\pi \cdot (3{,}654\ кГц) \cdot (0{,}022\ мкФ)} = 1{,}979\ кОм.$$

Используем номинал 1,96 кОм ±2%. Положим R_A =10 кОм, тогда R_B=(2-α)R_A=(2-1,059)-10 кОм0=9,41 кОм. Используем номинал 9,53 кОм ±2%.

$$K = \frac{R_B}{R_A} + 1 = \frac{9{,}53\ \text{кОм}}{10\ \text{кОм}} + 1 = 1{,}953$$

Задание для самостоятельной работы:

№ варианта	$f_{3дб}$ (кГц)	$f_{3дб}/f_{ср}$	α	C (мкФ)
1	23	1,074	0,886	0,006
2	45	1,074	0,886	0,007
3	50	1,074	0,886	0,002
4	14	1,074	0,886	0,001
5	25	1,074	0,886	0,009
6	12	1,074	0,886	0,004
7	24	1,074	0,886	0,001
8	45	1,074	0,886	0,005
9	27	1,074	0,886	0,003
10	35	1,074	0,886	0,008
11	50	1,074	0,886	0,002
12	28	1,074	0,886	0,001
13	23	1,074	0,886	0,007
14	45	1,074	0,886	0,009
15	50	1,074	0,886	0,006
16	14	1,074	0,886	0,003
17	25	1,074	0,886	0,006
18	12	1,074	0,886	0,009
19	24	1,074	0,886	0,006
20	45	1,074	0,886	0,004

Задание для примера№12.

Для нахождения компонентов схемы на рис.8.20 нужно:

1. Выбрать тип фильтра и величину $f_{3дб}$. Для выбранного типа фильтра найти отношения $f_{3дб}/f_{ср}$

Если это отношение не равно единице, найти $f_{ср}$. по формуле:

$f_{ср} = f_{3дб}$ (отношение).

2. Положив $C=C_1=C_2$ и $R=R_1=R_2$, выбрать величину C и найти R из соотношения $f_{ср} = \frac{1}{2\pi RC}$.

3. Найти величину α, соответствующую выбранному типу фильтра. Выбрать R_A и найти R_B по формуле

$R_B=(2-\alpha)\ R_A$.

1. По формуле $К_П = \frac{R_B}{R_A} + 1$ найти коэффициент усиления в полосе пропускания.

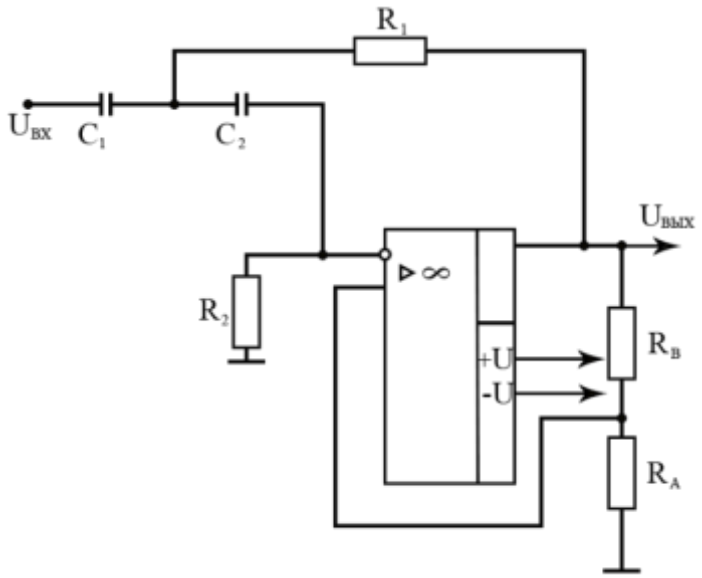


Рис.122. Активные фильтры Саллена-Кея

Контрольные вопросы

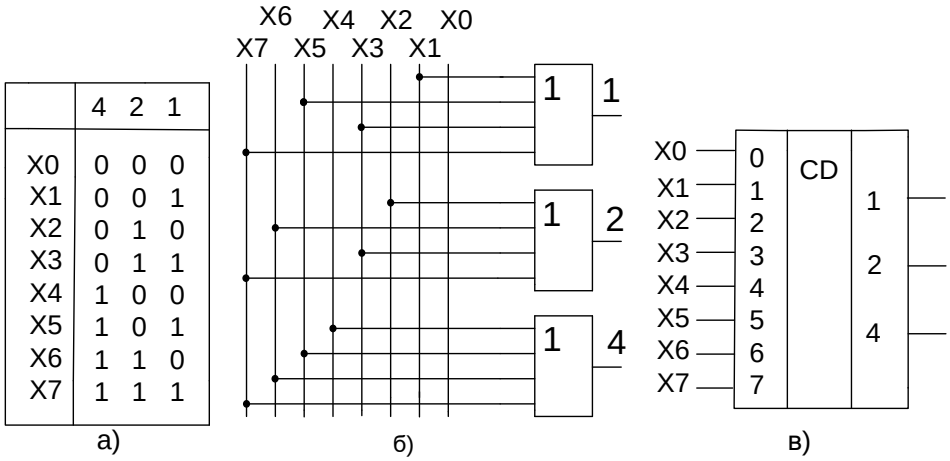
1. Что такое активный фильтр?
2. Свойства активного фильтра нижних частот.
3. Свойства активного фильтра верхних частот.
4. Свойства активного полосно-пропускающего фильтра.
5. Свойства активного полосно-заграждающего фильтра.
6. Что такое полоса пропускания?
7. Что такое амплитудно-частотная характеристика?
8. Нарисуйте принципиальную схему ФНЧ и его АЧХ.
9. Нарисуйте принципиальную схему ФВЧ и его АЧХ.
10. Нарисуйте принципиальную схему ППФ и его АЧХ.
11. Нарисуйте принципиальную схему ПЗФ и его АЧХ.

10. Кодирующие и декодирующие устройства

Общие сведения. Шифратор (кодер) – это функциональный узел, предназначенный для преобразования поступающих на его входы управляющих сигналов (команд) в n – разрядный двоичный код. В частности, такими сигналами или командами могут быть десятичные числа, например, номер команды, который с помощью шифратора преобразуется в двоичный код.

В качестве примера разработаем схему 3 – разрядного шифратора. Вначале следует построить таблицу кодов (таблицу истинности), в которой код номера сигнала представим, например, двоичным кодом (рисунок 123,а). Схема, реализованная на элементах ИЛИ, приведена

на рисунке 123,б.



	4	2	1
X0	0	0	0
X1	0	0	1
X2	0	1	0
X3	0	1	1
X4	1	0	0
X5	1	0	1
X6	1	1	0
X7	1	1	1

Рисунок 123 Таблица кодов 3 – разрядного шифратора а), его функциональная схема б) и УГО в).

В общем случае, при использовании двоичного кода, можно закодировать 2^n входных сигналов. В рассмотренной выше схеме выходной код «000» будет присутствовать на выходе при подаче сигнала на вход X^0 и в случае, если входной сигнал вообще не подаётся ни на один из входов. Для однозначной идентификации сигнала X^0 в интегральных схемах формируется ещё один выходной сигнал – признак подачи входного сигнала, который используется и для других целей.
На рисунке 124 приведено УГО схемы 3-х разрядного приоритетного шифратора на 8 входов.

При подаче сигнала на любой из входов, устанавливается G=1, P=0, а на цифровых выходах – двоичный код номера входа, на который подан входной сигнал. Если сигнал подан одновременно на два или несколько входов, то на выходе установится код хода с большим номером. Отсюда название шифратора «приоритетный».
Если сигнал (лог.«0») подан на один из входов 0…7, то на выходах DD3 появятся младшие разряды прямого кода, на выходе G DD1 – лог.

«0», определяющий разряд с весовым коэффициентом 8 выходного кода, на выходе P – лог. «1».

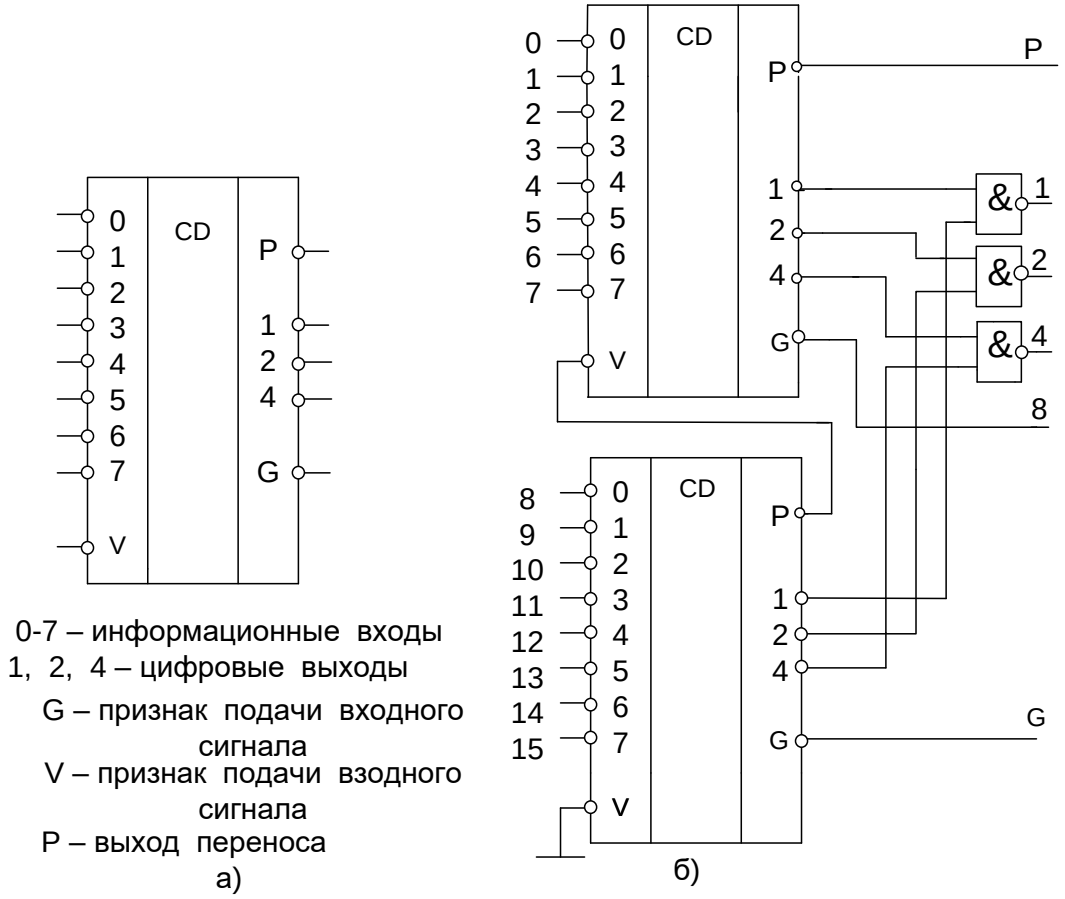


Рисунок 124. 3 – разрядный приоритетный а) шифратор К555ИВ1 и б) соединение двух МС

Если лог.«0» подан на один из входов 8…15 то сигнал лог. «1» с выхода P DD2 запретит работу DD1. При этом младшие разряды на выходах DD3 определяются уже микросхемой DD2, а на выходе 8 выходного кода будет лог. «1».

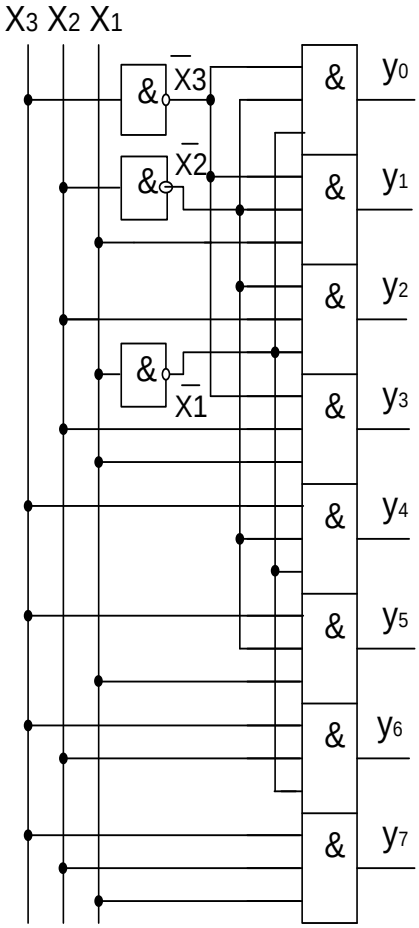
Таким образом, с выходов 1, 2, 4, 8 можно снять прямой код, соответствующий номеру входа, на который подан входной сигнал.

Дешифраторы (декодеры). Дешифратор – функциональный узел, вырабатывающий сигнал «лог. 1» (дешифратор высокого уровня) или сигнал «лог. 0» (дешифратор низкого уровня) только на одном из своих

2^n выходах в зависимости от кода двоичного числа на n-ходах.

Входной код			Выходные сигналы							
X3	X2	X1	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

а)



б)

Рисунок 125. Дешифратор: а) – таблица истинности;
б) – функциональная схема

Дешифраторы широко используются в устройствах управления, где они формируют управляющий сигнал в соответствии с входным кодом, который воздействует на какое-либо исполнительное устройство.

Интегральные микросхемы дешифраторов изготавливаются с дополнительными входами, например, с входом разрешения (стробирования).Стробирование позволяет исключить появление на входах дешифратора ложных сигналов, запрещая его работу в интервале времени переходного процесса при изменении цифрового кода на входе. Микросхема ИД3 (рисунок 126) имеет четыре адресных входа с весовыми коэффициентами двоичного кода 1, 2, 4, 8, два инверсных

входа стробирования S, объединённых по И, и 16 инверсных выходов 0 – 15. Если на обоих входах стробирования «лог. 0», то на том из выходов, номер которого соответствует десятичному эквиваленту входного кода, будет «лог. 0». Если хотя бы на одном из входов стробирования S «лог. 1», то независимо от состояния входов на всех выходах микросхемы формируется «лог. 1».

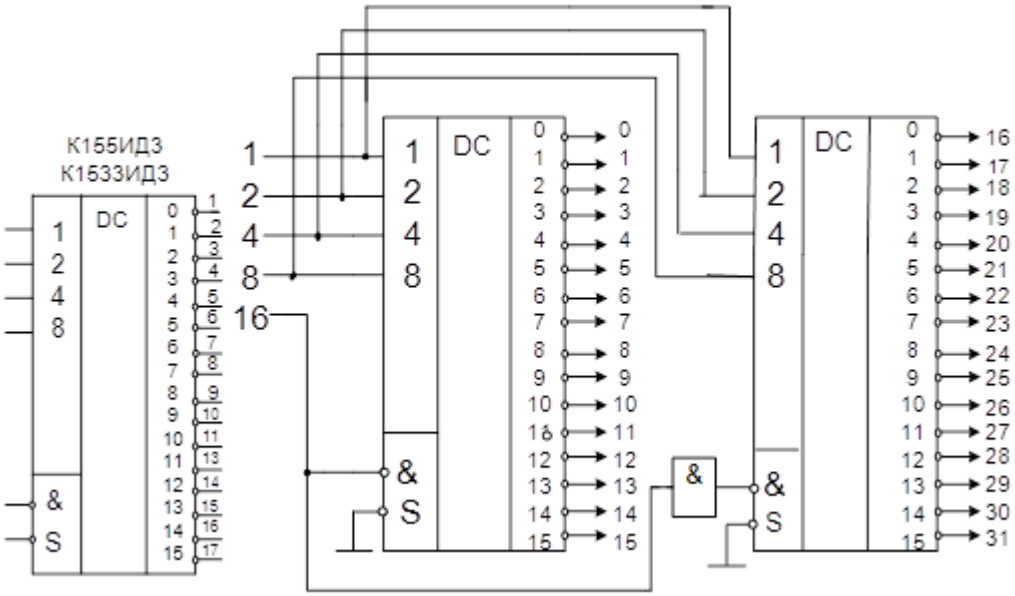


Рис.126. МС К155ИД3 Рис.127. Дешифратор на 32 выхода

Наличие двух входов стробирования существенно расширяет возможности использования микросхем. Из двух микросхем ИД3, дополненных одним инвертором, можно собрать дешифратор на 32 выхода (рисунок 127), а из 17 микросхем – дешифратор на 256 выходов (рисунок 128).

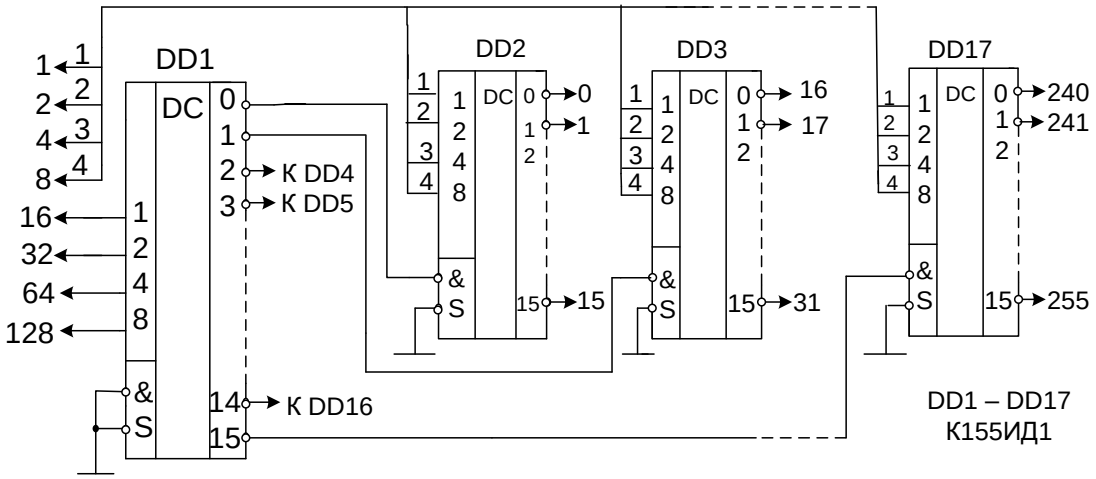


Рисунок 128. Дешифратор на 256 выходов

11. Коммутаторы цифровых сигналов

Общие сведения. Мультиплексоры (английское Multiplexer) - это комбинационные устройства, предназначенные для коммутации одного из нескольких источников логических сигналов к одной выходной шине.

В цифровых устройствах часто возникает задача передачи цифровой информации от источников к одному приёмнику. Для этого на входе канала устанавливается устройство, называемое мультиплексором (MS), которое согласно коду адреса подключает к выходу один из источников информации.

Например, из четырёх источников D0, D1, D2 и D3, которые подключены к информационным входам мультиплексора, необходимо выбрать один. Для этого должен быть указан номер информационного входа. Обычно он задаётся двоичным кодом на управляющих входах мультиплексора.

Для MS с двумя информационными входами достаточно одного управляющего входа X0 (Рис.129.).

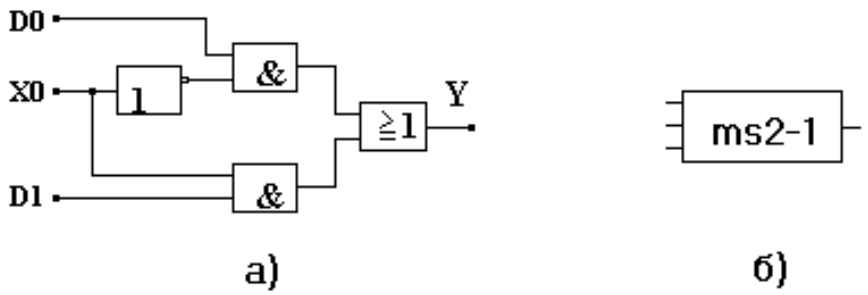


Рис.129. Схема мультиплексора на 2 входа (а) - логическая, (б) – обозначение

Обычно мультиплексоры обозначаются так:

- MS2-1 - мультиплексор с двумя информационными входами на один выход;
- MS8-1 - мультиплексор с восемью информационными входами на один выход и т.п.

Функциональная схема мультиплексора, реализованная на дешифраторе, представлена Рис.130.

Данный мультиплексор имеет четыре входа информационных данных (D0, D1, D2 и D3) и управляется двухразрядным кодом X1,X2, который подается на вход дешифратора.

Дешифратор формирует единичный сигнал на том выходе, который соответствует управляющему коду, тем самым подавая на выход Y сигнал с выбранной входной шины. Например, если код, подаваемый на X1X2 равен 00, то будет выбран информационный вход D0.

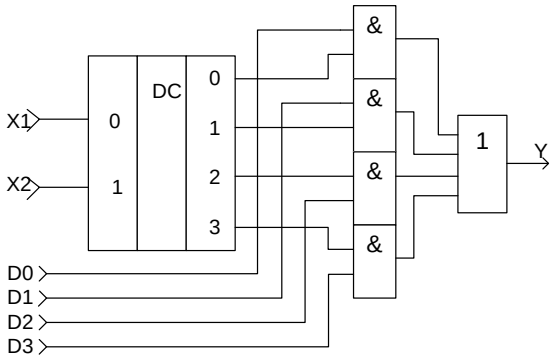


Рис. 130. Схема мультиплексора на 4 информационных входа построенная на дешифраторе

Мультиплексоры могут быть собраны из простейших логических элементов И, ИЛИ, НЕ, дешифраторе и логических элементах или могут использоваться готовые мультиплексоры в виде интегральных микросхем.

Мультиплексоры бывают с выходом 2С и с выходом 3С. Выход 3С позволяет объединять выходы мультиплексоров с выходами других микросхем, а также получать двунаправленные и мультиплексированные линии.

Выходы мультиплексоров бывают прямыми и инверсными. Некоторые микросхемы мультиплексоров имеют вход разрешения/запрета С (другое обозначение - S), который при запрете устанавливает прямой выход в нулевой уровень.

На Рис. 131 показаны для примера несколько микросхем мультиплексоров из состава стандартных серий.

В отечественных сериях мультиплексоры имеют код типа микросхемы КП. На схемах микросхемы мультиплексоров обозначаются буквами MS.

Таблица 10.1

Таблица истинности 8-канального мультиплексора

Входы				**Выходы**	
4	**2**	**1**	**-EZ**	**Q**	**-Q**
X	X	X	1	Z	Z

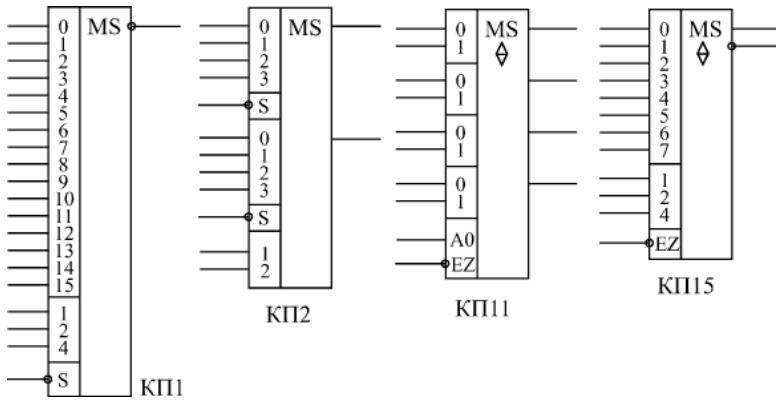


Рис. 131. Примеры микросхем мультиплексоров

Микросхемы мультиплексоров можно объединять для увеличения количества каналов. Например, два 8-канальных мультиплексора легко объединяются в 16-канальный с помощью инвертора на входах разрешения и элемента 2И-НЕ для смешивания выходных сигналов (рис. 132). Старший разряд кода будет при этом выбирать один из двух мультиплексоров.

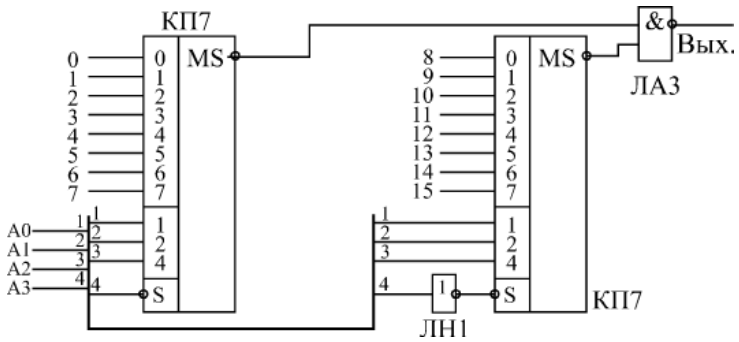


Рис. 132. Объединение мультиплексоров для увеличения количества каналов

Мультиплексор функциональный узел, который имеет n- адресных входов, $N = 2^n$ информационных входов, один выход и осуществляет управляемую коммутацию информации, поступающей по N входным линиям, на одну выходную линию. Коммутация определённой входной

линии происходит в соответствии с двоичным адресным кодом $a_{n-1},...a_2, a_1, a_0$.

Если адресный код имеет n – разрядов, то можно осуществить N = 2^n комбинаций адресных сигналов, каждая из которых обеспечит подключение одной из N входных линий к выходной линии. Такой мультиплексор называют «из N в одну». При наличии избыточных комбинаций адресных сигналов можно спроектировать мультиплексор с любым числом входных линий $N \le 2^n$

В простейшем случае при двухразрядном адресном коде (n=2) максимальное число входных адресных линий равно $N = 2^n = 4$. Таблица истинности такого мультиплексора приведена на рисунке 10.5а.

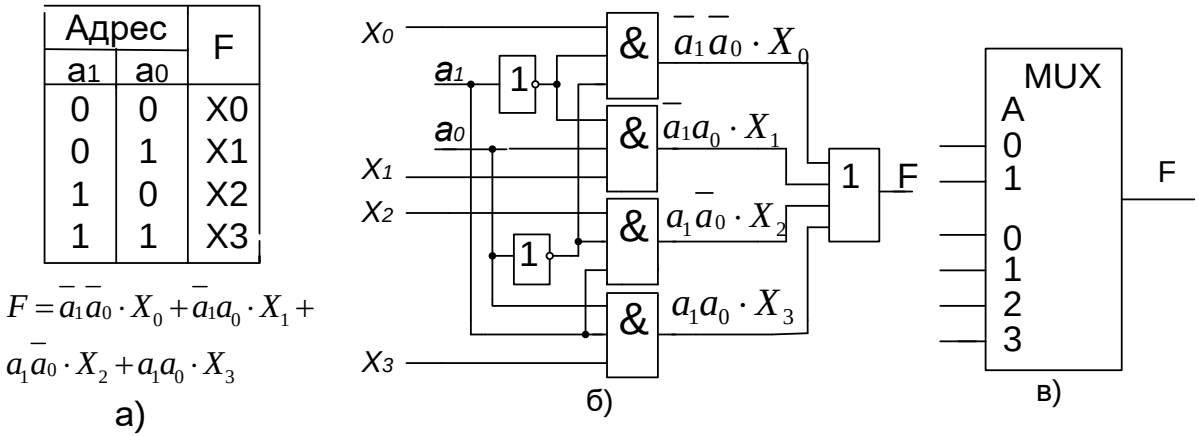


Рисунок 133. Мультиплексор 4:1 а) – Таблица истинности; б) – Функциональная схема; в) – Условное графическое обозначение.

Характеристическое равнение такого мультиплексора, записанное в соответствии с таблицей истинности, имеет вид:

$$F = \bar{a}_1\bar{a}_0 \cdot X_0 + \bar{a}_1 a_0 \cdot X_1 + a_1\bar{a}_0 \cdot X_2 + a_1 a_0 \cdot X_3$$

Из полученного уравнения следует, что в состав функциональной схемы мультиплексора входят два инвертора, четыре схемы «И» и одна схема

«ИЛИ» (Рисунок 133. б). Здесь адресными (управляющими) входами являются *a1, a0*, а информационными – *X0, X1, X2, X3*.

Условное графическое обозначение мультиплексора, в соответствии с ГОСТ 2.743 – 91, приведено на рисунке 133,в.

В настоящее время промышленность выпускает МС, в серии которых входят мультиплексоры с n=2, 3 и 4 адресными входами. При n=2 выпускаются сдвоенные четырёхканальные (2^n=4) мультиплексоры, число входных информационных сигналов которых равно $2^n + 2^n$=8.

УГО сдвоенного 4 – канального мультиплексора со стробированием К555КП12 приведено на рисунке 134,а.

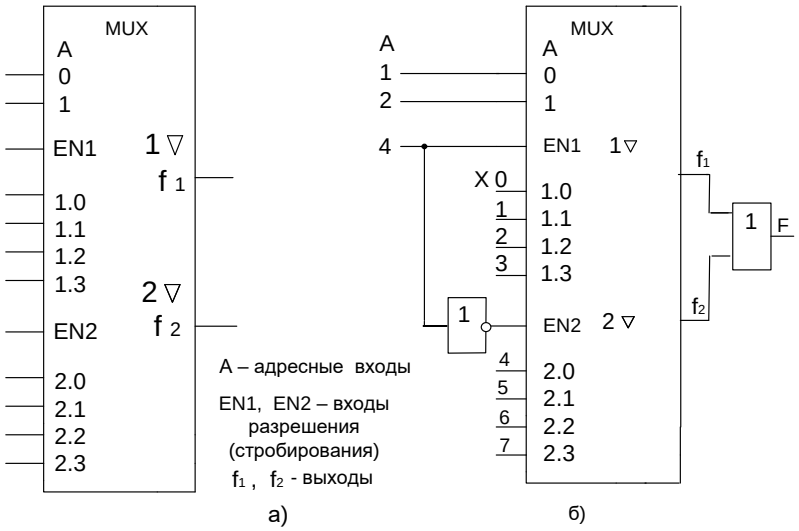


Рис 134. Сдвоенный 4 – канальный мультиплексор К555КП12 а) и 8– канальный мультиплексор на его основе б).

Входы стробирования используются для построения мультиплексоров (коммутаторов) с к2^n - информационными входами, к=2, 3, 4…

Схема мультиплексора 8:1 на основе сдвоенного 4 – канального мультиплексора со стробированием приведена на рисунке 134, б.

Если подавать на информационные входы *X*i постоянные уровни, соответствующие лог. «0» или лог. «1», то на выходе мультиплексора можно получить любую желаемую функцию переменных управляющего кода. При этом число переменных в реализуемой выходной функции будет равно разрядности управляющего кода.

В общем случае на информационные входы можно подавать не постоянные логические уровни, тогда на выходе мультиплексора реализуется логическая функция с большим числом переменных.

Демультиплексор – это функциональный узел, осуществляющий управляемую коммутацию информацию, поступающую по одному входу, на N выходов. Таким образом, демультиплексор реализует операцию, противоположную той, которую выполняет мультиплексор.

Обобщённая схема демультиплексора приведена на рисунке 10.7. В общем случае число выходных линий N определяется количеством адресных входов n и равно $N = 2^n$.

Для случая n=2 функционирование демультиплексора осуществляется в соответствии с таблицей истинности, приведённой на рисунке 136, а.

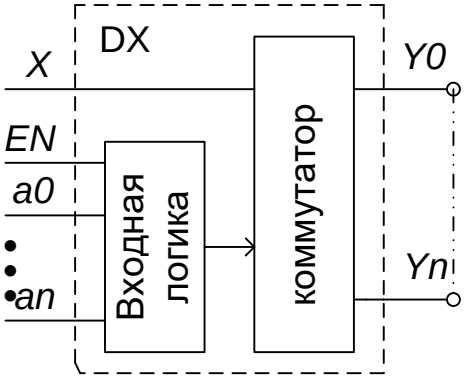
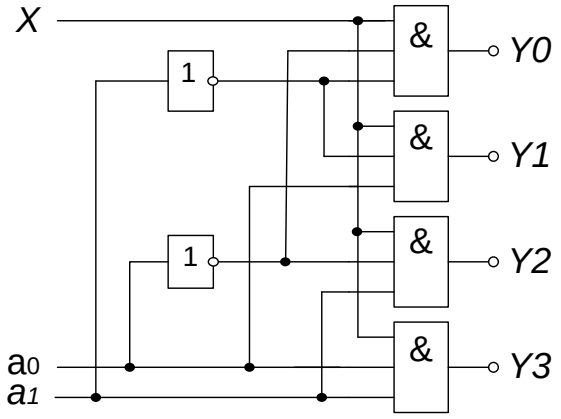


Рисунок 135. Обобщённая схема демультиплексора

адрес		Y_0	Y_1	Y_2	Y_3
a_1	a_0				
0	0	X	0	0	0
0	1	0	X	0	0
1	0	0	0	X	0
1	1	0	0	0	X

а)



б)

Рис 136. Таблица истинности – а) и функциональная схема 4 – канального демультиплексора – б)

Из таблицы истинности записываем характеристические уравнения демультиплексора:

$$Y_0 = \overline{a}_1 \overline{a_0} \cdot X; \quad Y_1 = \overline{a}_1 a_0 \cdot X;$$
$$Y_2 = a_1 \overline{a}_0 \cdot X; \quad Y_3 = a_1 a_0 \cdot X.$$

Соответствующая этим уравнениям функциональная схема демультиплексора приведена на рисунке 136, б. Она имеет в своём составе два инвертора и четыре элемента «И».

Сравнивая таблицы истинности и функциональные схемы демультиплексора и дешифратора, легко увидеть схожесть их функций. Если функция X =1 постоянно, то демультиплексор выполняет функции дешифратора. Учитывая схожесть выполняемых функций, микросхемы дешифраторов и демультиплексоров имеют одинаковое условное обозначение – ИЕ, называются «Дешифратор – демультиплексор» и могут выполнять функции и дешифратора и демультиплексора.

В качестве примера рассмотрим микросхему К155ИД4, УГО которой приведено на рисунке 137 а. Это сдвоенный 4 – канальный дешифратор –демультиплексор. Каждая секция имеет один информационный вход (D и $\overline{E}$), один вход разрешения $\left(\overline{V}_1 \, и \, \overline{V}_2\right)$, четыре выхода

$\left(\overline{D}_0 ... \overline{D}_3\right)$ *и* $\left(\overline{E}_0 ... \overline{E}_3\right)$ и два общих адресных входа (a_1, a_0). Возможные способы включения и режимы работы показаны на рисунке 10.8 б.

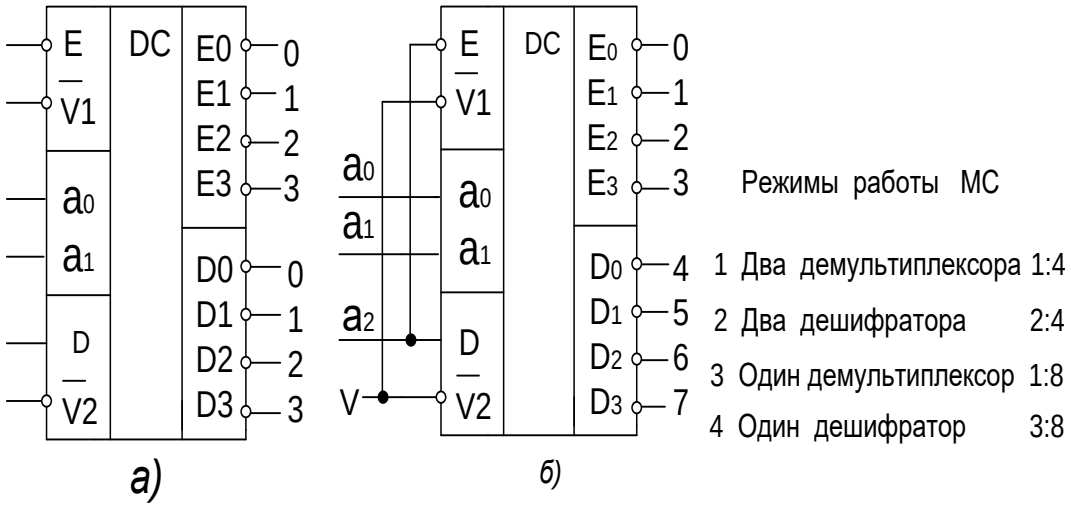


Рис 137. Микросхема К155ИД4 а) и
возможные режимы её работы б).

Наличие у МС прямого и инверсного информационных входов позволяет простым их объединением получить третий адресный разряд *a3,*, а двух инверсных входов разрешения – общий вход разрешения дешифратора 3:8 или информационный вход демультиплексора 1:8.

Рассмотренную выше микросхему дешифратора К155ИД3 можно использовать в качестве демультиплексора с форматом 1:16. При этом входы разрешения дешифрации используются в качестве основного информационного входа X, а адресные входы и выходы используются по прямому назначению. Демультиплексоры в функциональном отношении противоположны мультиплексорам. С их помощью сигналы одного информационного входа распределяются в требуемой последовательности по нескольким выходам.

Выбор нужной входной шины, как и в мультиплексоре, обеспечивается установкой соответствующего кода на адресных входах. При m адресных входах демультиплексор может иметь до 2m выходов.

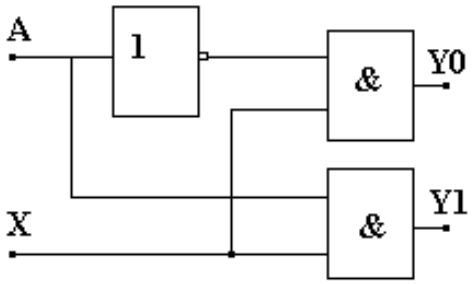


Рис.138. Схема демультиплексора на логических элементах

Принцип работы демультиплексора поясним с помощью схемы на рис. 138, на которой обозначено: X-информационный вход, A-вход адреса, Y0, Y1-выходы.

Схема содержит два элемента И и один элемент НЕ. При A=0 сигнал информационного входа передаётся на выход Y0, а при A=1 - на выход Y1.

Демультиплексоры иначе называют распределителями. На Рис. 139. представлена схема распределителя на базе дешифратора. В данной схеме входной сигнал D передается на один из 8 выходов Y в зависимости от управляющего кода подаваемого на входы X1X2.

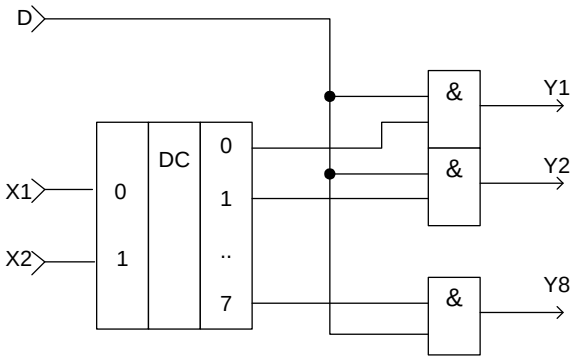


Рис.139. Схема демультиплексора на дешифраторе
и логических элементах

Индивидуальные задания

Задание 1. Используя микросхему КП1, нарисуйте схему мультиплексора на 24 канала.

Задание 2. Используя микросхему КП15, нарисуйте схему мультиплексора на 32 канала.

Контрольные вопросы

1. Что такое мультиплексор?
2. Поясните работу мультиплексора, схема которого представлена на рис.129.
3. Поясните работу мультиплексора КП2.
4. Поясните работу мультиплексора КП11.
5. Что такое демультиплексор?
6. Поясните работу демультиплексора, схема которого представлена на рис.133.

11. Одновибраторы и генераторы

Общие сведения. Одновибраторы и генераторы занимают промежуточное положение между комбинационными микросхемами и микросхемами с внутренней памятью.

Их выходные сигналы не определяются однозначно входными сигналами, как у комбинационных микросхем. Но в то же время они и не хранят информацию длительное время.

Одновибраторы («ждущие мультивибраторы», английское название "Monostable Multivibrator") представляют собой микросхемы, которые в ответ на входной сигнал (логический уровень или фронт) формируют выходной импульс заданной длительности. Длительность определяется внешними времязадающими резисторами и конденсаторами. То есть можно считать, что

у одновибраторов есть внутренняя память, но эта память хранит информацию о входном сигнале строго заданное время, а потом информация исчезает. На схемах одновибраторы обозначаются буквами G1.

В стандартные серии микросхем входят одновибраторы двух основных типов (отечественное обозначение функции микросхемы - АГ):

- Одновибраторы без перезапуска (АГ1 - одиночный одновибратор, АГ4 - два одновибратора в корпусе).
- Одновибраторы с перезапуском (АГ3 - два одновибратора в корпусе).

Разница между этими двумя типами показана на рис. 140. Одновибратор без перезапуска не реагирует на входной сигнал до окончания своего выходного импульса. Одновибратор с перезапуском начинает отсчет нового времени выдержки Т с каждым новым входным сигналом независимо от того, закончилось ли предыдущее время выдержки.

В случае, когда период следования входных сигналов меньше времени выдержки Т, выходной импульс одновибратора с перезапуском не прерывается.

Если период следования входных запускающих импульсов больше времени выдержки одновибратора Т, то оба типа одновибраторов работают одинаково.

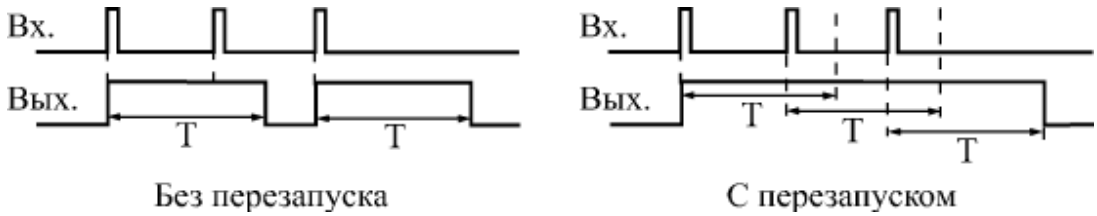


Рис. 140. Принцип работы одновибраторов без перезапуска и с перезапуском

На рис.141 приведены обозначения микросхем одновибраторов стандартных серий. Микросхемы АГ3 и АГ4 отличаются друг от друга только тем, что АГ3 работает с перезапуском, а АГ4 - без перезапуска.

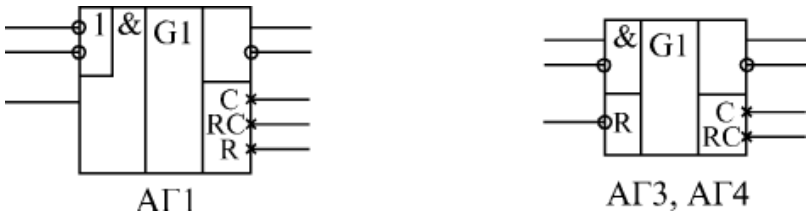


Рис. 141. Микросхемы одновибраторов

Микросхемы имеют входы запуска, объединенные по И и ИЛИ, прямые и инверсные выходы, а также выводы для подключения внешних времязадающих цепей (резисторов и конденсаторов).

Запускается работа всех одновибраторов по фронту результирующего входного сигнала. Использованная логика объединения входов микросхем позволяет запустить все одновибраторы как по положительному, так и по отрицательному фронту входного сигнала (Рис. 142 и 143).

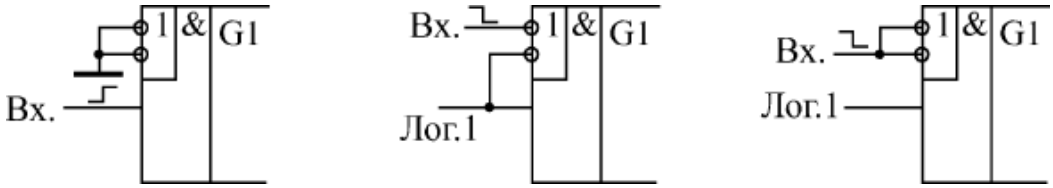


Рис. 142. Варианты запуска одновибратора АГ1

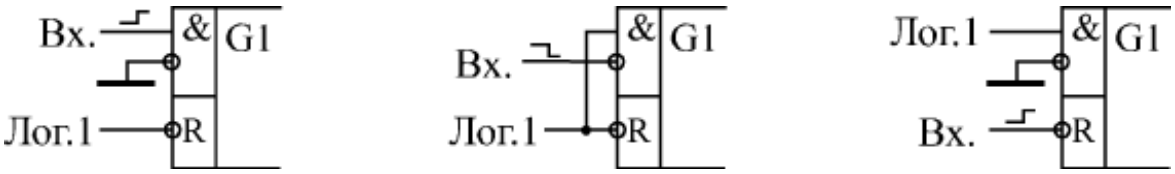


Рис. 143. Варианты запуска одновибраторов АГ3 и АГ4

На неиспользуемые входы при этом надо подавать сигналы логического нуля или логической единицы. Можно также использовать остающиеся входы для разрешения или запрещения входного запускающего сигнала.

Одновибраторы АГ3 и АГ4 имеют также дополнительный вход сброса - R, логический нуль на котором не только запрещает выработку выходного

сигнала, но и прекращает его. Вход -R можно также использовать для запуска одновибратора.

Таблица 1

Таблица истинности одновибратора АГ1

Входы			Выходы	
-A1	-A2	B	Q	-Q
0	X	1	0	1
X	0	1	0	1
X	X	0	0	1
1	1	X	0	1
1	↓	1	↑	↓
↓	1	1	↑	↓
↓	↓	1	↑	↓
0	X	↑	↑	↓
X	0	↑	↑	↓

Таблица 2

Таблица истинности одновибраторов АГ3 и АГ4

Входы			Выходы	
-R	-A	B	Q	-Q
0	X	X	0	1
X	1	0	0	1
X	X	0	0	1
1	0	↑	↑	↓
1	↓	1	↑	↓
↑	0	1	↑	↓

В таблицах истинности инверсные входные сигналы обозначены –A, –A1, –A2, прямые входные сигналы - B, а прямой и инверсный выходные сигналы - соответственно, Q и –Q.

Стандартное включение одновибраторов предполагает подключение внешнего резистора и внешнего конденсатора (рис. 144).

Для одновибратора АГ1 длительность выходного импульса можно оценить по формуле

T = 0,7RC.

Эта формула работает при величине сопротивления резистора в пределах от 1,5 кОм до 43 кОм. Емкость конденсатора может быть любой.

Внутри микросхемы имеется внутренний резистор сопротивлением около 2 кОм, подключенный к выводу R, поэтому можно включать одновибратор без внешнего резистора, подключая вывод R к напряжению питания.

Повторный запуск одновибратора невозможен сразу после окончания выходного импульса, до повторного запуска обязательно

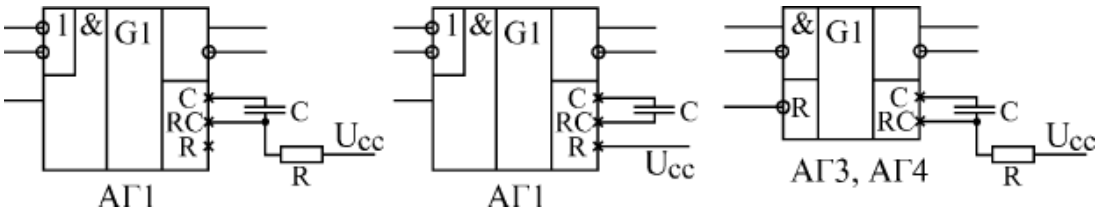


Рис. 145. Стандартные схемы включения одновибраторов

должен пройти интервал t = C (если емкость измеряется в нанофарадах, то временной интервал получается в микросекундах).

Для одновибраторов АГ3 и АГ4 длительность импульса можно оценить по формуле:

T = 0,32C(R + 0,7),

где сопротивление резистора измеряется в кОм.

Сопротивление резистора может находиться в пределах от 5,1 кОм до 51 кОм, емкость конденсатора - любая.

Перезапуск одновибратора возможен только в том случае, когда интервал между входными запускающими импульсами больше 0,224С (если емкость измеряется в нанофарадах, то временной интервал - в микросекундах).

Наиболее распространенные применения одновибраторов следующие (Рис. 146):

- увеличение длительности входного импульса;
- уменьшение длительности входного импульса;
- деление частоты входного сигнала в заданное число раз;
- формирование сигнала огибающей последовательности входных импульсов.

Для увеличения или уменьшения длительности входного сигнала (Рис.146. а и б) надо всего лишь выбрать сопротивление резистора и емкость конденсатора, исходя из требуемой длительности выходного сигнала.

В этом случае можно использовать одновибратор любого типа: как с перезапуском, так и без перезапуска.

Для деления частоты входных импульсов в заданное число раз (Рис.146 в) применяется только одновибратор без перезапуска. При этом надо выбрать такую длительность выходного сигнала, чтобы одновибратор пропускал нужное количество входных импульсов.

Например, если требуется разделить на 3 частоту входных импульсов f, то длительность выходного сигнала одновибратора надо выбрать в пределах от 2/f до 3/f. При этом одновибратор будет пропускать два входных импульса из каждых трех.

Для формирования огибающей входного сигнала (Рис.146.г) используется только одновибратор с перезапуском. При этом длительность его выходного импульса должна быть выбрана такой, чтобы каждый следующий входной сигнал перезапускал одновибратор. Если частота входного сигнала равна f, то длительность выходного сигнала одновибратора должна быть не меньше, чем 1/f.

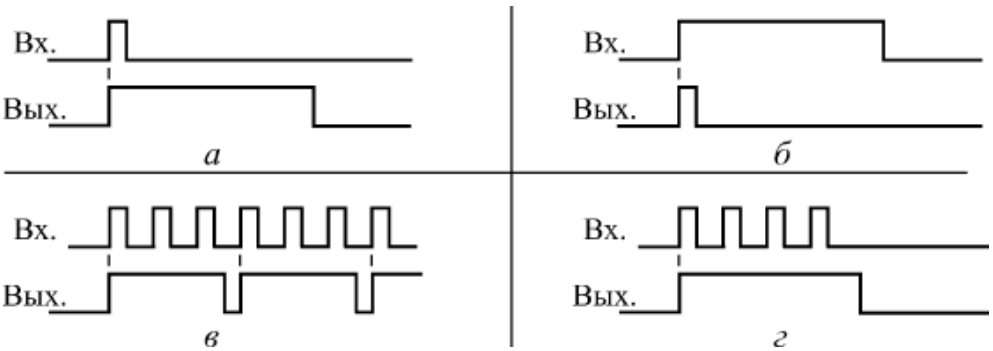


Рис. 146. Стандартные применения одновибраторов

Еще одно важное применение одновибратора состоит в подавлении дребезга контактов кнопки.

Одновибратор с большим временем выдержки (порядка нескольких десятых долей секунды) надежно подавляет паразитные импульсы, возникающие из-за дребезга контактов, и формирует идеальные импульсы на любое нажатие кнопки (Рис. 147).

Для этого можно использовать как одновибратор с перезапуском, так и одновибратор без перезапуска (на рисунке). Можно также подобрать время выдержки так, что одновибратор будет давать один импульс по нажатию кнопки, а другой импульс - по отпусканию кнопки.

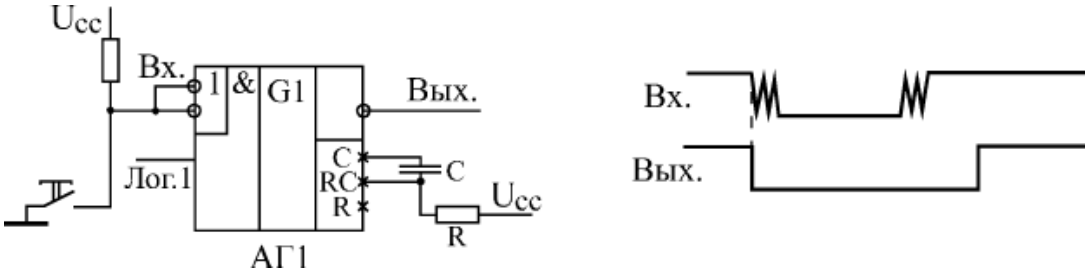


Рис. 147. Использование одновибратора для подавления дребезга контактов кнопки

Одновибраторы можно также применять для построения генераторов (мультивибраторов) прямоугольных импульсов с различными значениями длительности импульсов и паузы между ними. При этом два одновибратора замыкаются в кольцо так, что каждый из них запускает другой после

окончания своего выходного импульса (Рис. 148). Один одновибратор формирует длительность импульса, а другой определяет паузу между импульсами. Изменяя номиналы резисторов и конденсаторов, можно получить нужные соотношения импульса и паузы.

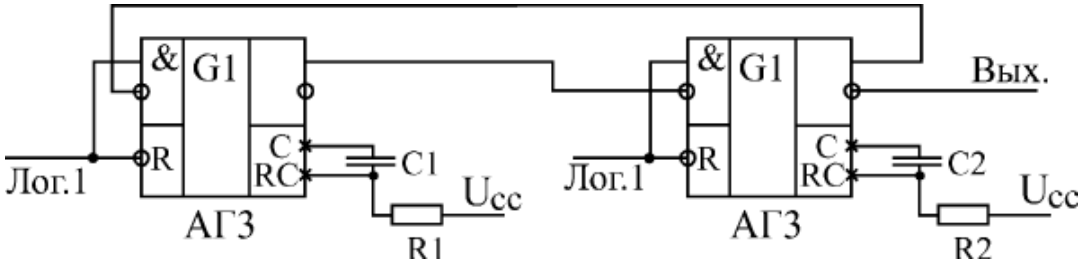


Рис. 148. Генератор импульсов на двух одновибраторах

Таким образом, одновибраторы довольно легко позволяют решать самые разные задачи.

Однако, применяя одновибраторы, надо всегда помнить, что длительность их выходных импульсов нельзя задать очень точно - ведь одновибратор имеет аналоговые цепи.

На длительность выходного импульса одновибратора влияют разбросы номиналов резисторов и конденсаторов, температура окружающей среды, старение элементов, помехи по цепям питания и другие факторы.

Поэтому применение одновибраторов нужно по возможности ограничивать только теми случаями, когда время выдержки можно задавать с не слишком высокой точностью (погрешность не менее 20–30%).

Любую функцию одновибратора может выполнить синхронное тактируемое устройство (на основе кварцевого генератора, триггеров, регистров, счетчиков), причем выполнить гораздо точнее и надежнее. И ему не нужно никаких дополнительных времязадающих элементов (резисторов и конденсаторов).

Задержки запуска одновибраторов примерно в два–три раза превосходят задержку логического элемента. Точные величины задержек надо смотреть в справочниках.

Генераторы. Помимо одновибраторов, в стандартные серии включены также специализированные генераторы ("мультивибраторы", англ. "multivibrator").

Обозначаются они на схемах буквой G. В отечественных сериях этот тип микросхемы кодируется буквами ГГ.

Например, микросхема ГГ1 представляет собой два генератора в одном корпусе. Микросхемы генераторов используют довольно редко, чаще применяют генераторы на инверторах или на триггерах Шмитта.

Однако в некоторых случаях генераторы ГГ1 не могут быть заменены ничем. Дело в том, что они допускают изменение частоты выходных импульсов с помощью уровней двух входных управляющих напряжений. Поэтому они называются также «генераторы, управляемые напряжением» или ГУН.

Эффект изменения частоты можно использовать, например, в системах автоподстройки частоты (АПЧ) или в устройствах с частотной модуляцией (ЧМ).

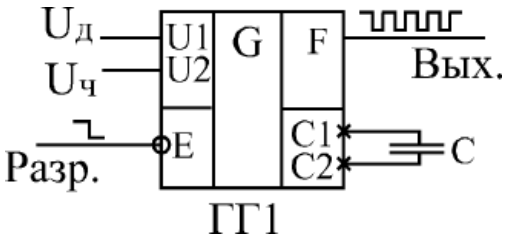


Рис. 149. Схема включения генератора ГГ1

Стандартная схема включения генератора ГГ1 приведена на Рис. 149.

Генератор имеет выводы для подключения внешнего конденсатора C1 и C2, к которым можно также подключать кварцевый резонатор, но при этом уже нельзя управлять частотой. Имеется два входа управления частотой U1 и U2, а также вход разрешения –E, при подаче на который логической единицы генерация прекращается и на выходе F устанавливается единица.

Один из входов управления (U1) обычно называется диапазонным или Uд, а другой (U2) - входом управления частоты или Uч. При увеличении

напряжения Uч частота увеличивается, при увеличении напряжения на входе Uд - уменьшается.

Рекомендуемый диапазон изменения напряжения Uд составляет от 2 до 4,5 В, а диапазон изменения Uч - от 0 до 5 В. В зависимости от напряжения Uд , меняется диапазон изменения частоты из-за изменения напряжения Uч. Например, при Uд = 2 В и изменении Uч от 1 до 5 В частота изменяется примерно на 15%, а при Uд = 4 В - приблизительно в 4 раза.

Частота выходного сигнала ГГ1 определяется также внешним конденсатором, например, при Uд = Uч = 2 В и при С = 1 мкФ частота будет около 100 Гц, а при С = 100 пФ - порядка 10 МГц. Максимально возможное значение частоты генератора составляет около 80 МГц. В справочниках приводятся графики зависимости частоты выходного сигнала ГГ1 от уровней управляющих напряжений и от величины внешнего конденсатора.

Однако точно определить значение частоты по этим графикам невозможно, в любом случае требуется подстройка. К тому же наличие в схеме аналоговых узлов делает генератор ГГ1 чувствительным к разбросу номиналов конденсаторов, к изменению температуры окружающей среды, к старению элементов, к помехам по цепям питания и к другим факторам. Именно поэтому использование этих генераторов крайне ограничено.

В микросхеме ГГ1 существует взаимное влияние двух генераторов друг на друга, хотя в ней и приняты меры по снижению этого влияния. Поэтому не рекомендуется использовать одновременно два генератора одной микросхемы в режиме генерации частоты, управляемой напряжении.

Пример№1. Рассчитаем блокинг-генератор, если его параметры $t_и$=10 мсек, $T_р$= 400 мсек, $t_ф \leq 0{,}5$ мсек, $U_m \geq 10$ в, крыша импульса должны быть плоской; генератор должен работать на высокоумную нагрузку $\left(R_H \longrightarrow \infty; I_н = 0\right)$.

Решение.

1. Выбираем схему блокинг-генератора с общим эмиттером и транзистор типа ГТ-108Б, параметры которого следующие: $\beta \geq 45$;

$E_{к\ доп}$ = 15 в; $I_{к\ доп}$ =50 ма; $f_а$ =1 Мгц. Отношение витков обмоток импульсного трансформатора для простаты принимаем

$w_б : w_к : w_н = 1:1:1.1.$

2. Напряжение источника питания $E_к$ выбирается из соотношения $E_к \geq 1{,}2\ U_m = 1{,}2 \cdot 10 = 12$ в.
3. Сопротивления резистора R выбирается из условия обеспечения необходимой стабильности периода. Т. Чем меньше влияние тепловых токов на Т. Обычно

   R =10-30 ком. Принимаем R =12 ком.
4. Рассчитаем емкость конденсатора С, при которой должен обеспечиваться заданный период следования импульсов. Для этого решаем уравнение относительно С, пологая $I_{к0} \approx 0$ и $u_{с\ макс} = E_к$, получаем

$$C \approx \frac{T_p}{1{,}4R} = \frac{400 \cdot 10^{-6}}{1{,}4 \cdot 12 \cdot 10^3} \approx 0{,}023\,\text{мкФ}.$$

Задание для самостоятельной работы:

№ варианта	$T_р$ (мсек)	U_m (В)	тип транзистора
1	200	12	МП39Б
2	400	24	КТ816
3	300	36	МП 20
4	300	12	КТ540Б
5	400	24	МП40
6	500	36	МП35
7	100	12	КТ626Г
8	200	24	МП60
9	400	36	ГТ701А
10	300	12	КТ639Д
11	600	24	ГТ309В
12	500	36	КТ645А

13	350	12	ГТ310Г
14	250	24	КТ646А
15	150	36	ГТ321А
16	200	12	КТ808А
17	300	24	1Т335Б
18	400	36	КТ8101Б
19	300	12	ГТ 311
20	200	24	КТ3107

Пример№2. Рассчитаем симметричный мультивибратор, генерирующий импульсы с амплитудой U_m = 10 в и длительностью $t_и$ = 0.4 мсек. Период колебаний Т=1 мсек, длительность спадов $t_c \le 1$ мсек.

Решение.

1. Выбираем $E_б$=$E_к$=U_m=10 в. Задаемся степенью насыщения N=3. Транзисторы должны обладать следующими параметрами:

$$u_{кббд} \ge 2U_m = 20в$$

$$\beta \ge 3\frac{(Q-1)(N+1)}{\ln(1+\frac{E_K}{E_Б})}\frac{E_K}{E_Б} = 3\frac{2{,}5+4}{\ln 2} = 26$$

Выбираем транзистор типа ГТ-308Б, у которого $u_{к\,б\,доп}$ =20 в, $\beta = 50 \div 120$, $f_B = 2 \div 120$, Мгц.

2. При монтаже схемы наиболее целесообразно использовать малогабаритные резисторы типа УЛМ, допустимая мощность рассеяния которых составляет 0,12 Вт

Поэтому

$$R_{K1} = R_{K2} = \frac{U_m^2 T / t_И - 1}{P_{R_K} T / t_И} \approx 680 \text{ ом.}$$

Полученное значение совпадает со шкалой номиналов по ГОСТ. Ток I_{K0} при нормальной температуре для всех германиевых транзисторов сплавной конструкции примерно равен 1,8 мка. Тогда при $\beta_{мин} = 50$

$$R_{б1} = R_{б2} = \frac{\beta\ E_K}{N\left[\frac{E_K}{R_K} - (\beta+1)\mathrm{I}_{\mathrm{K0}}\right]} = \frac{50\cdot 10}{3\left(\frac{10}{680} - 5{,}1\cdot 1{,}8\cdot 10^{-6}\right)} \approx 11 \text{ ком}$$

3. Емкости базовых конденсаторов:

$$C_{б1} = \frac{t_и}{R_б \ln\left(1+\frac{E_K}{E_K + I_{K0}R_б}\right)} = \frac{0{,}4\cdot 10^{-3}}{1{,}1\cdot 10^4 \ln\left(1+\frac{10}{10+1{,}8\cdot 10^{-6}\cdot 1{,}1\cdot 10^4}\right)} \approx 0{,}08 \text{ мкФ}$$

$$C_{б2} = \frac{T - t_и}{R_б \ln\left(1+\frac{E_K}{E_K + I_{K0}R_б}\right)} = \frac{10^{-3} - 0{,}4\cdot 10^{-3}}{1{,}1\cdot 10^4 \ln\left(1+\frac{10}{10+1{,}8\cdot 10^{-6}\cdot 1{,}1\cdot 10^4}\right)} \approx 0{,}15 \text{ мкФ}$$

4. Для проверки на обеспечение длительности спадов генерируемых импульсов в формулу наряду с другими параметрами подставляем наименьшее значение коэффициента усиления β. Входное сопротивление $r_{в\ х}$ транзистора ГТ-306Б примерно равно 1,5 ком. Потому

$$t_c = \frac{1}{2\pi f_B}\ln\frac{\beta\ R_K}{\beta\ R_K - R_K - r_{BX}} = 1{,}3\cdot 10^{-7}\ln\frac{50\cdot 680}{35\cdot 680 - 680 - 1500} \approx 0{,}015 < мсек < 1 мсек$$

Задание для самостоятельной работы:

№ варианта	T (мсек)	U_m (В)	$t_и$ (мсек)
1	2	12	0,5
2	4	24	0,8
3	3	36	0,2
4	3	12	0,4
5	4	24	0,7
6	5	36	0,6

7	1	12	0,3
8	2	24	0,9
9	4	36	0,5
10	3	12	0,8
11	6	24	0,2
12	5	36	0,4
13	3	12	0,7
14	2	24	0,6
15	1	36	0,3
16	2	12	0,9
17	3	24	0,5
18	4	36	0,8
19	3	12	0,2
20	2	24	0,4

Контрольные вопросы

1. Что такое одновибратор?
2. Как обозначается интегральная микросхема одновибратора?
3. Как обозначается интегральная микросхема генератора?
4. Нарисуйте условное обозначение одновибратора.
5. Нарисуйте условное обозначение генератора.
6. Для чего применяют одновибраторы?
7. Нарисуйте схемы включения одновибраторов.
8. Поясните использование одновибратора для подавления дребезга контактов кнопки.
9. Нарисуйте схемы включения генератора на примере микросхемы ГГ1.

Список литературы

1. Информационные системы и технологии управления: Учебник / Под ред. Г.А. Титоренко. - М.: Юнити, 2013. - 591 с.
2. Вальков, В.Б. Автоматизированные системы управления технологическими процессами / В.Б. Вальков. - Л.: Политехника, 1991. - 269 с.
3. Малафеев, С.И. Основы автоматики и системы автоматического управления / С.И. Малафеев, А.А. Малафеева. - М.: Academia, 2017. - 240 с.
4. Олссон Г., Пиани Д. Цифровые системы автоматизации и управления

3-е изд., перераб. и доп. — СПб.: Невский Диалект, 2001. – 557 с.

5. Пьявченко*, Т. А.* Автоматизированные информационно-управляющие системы : учеб, пособие /Т. А. Пьявченко, В. И. Финаев. — Таганрог : Изд-во ТРТУ, 2006. —268 с.
6. Батоврин, В.К. LabVIEW: практикум по электронике и микропроцессорной технике: Учебное пособие / В.К. Батоврин, А.С. Бессонов, В.В. Мошкин. - М.: ДМК, 2014. - 182 с
7. Гуров, В.В. Микропроцессорные системы: Учебное пособие / В.В. Гуров. - М.: Инфра-М, 2013. - 318 с.
8. Калабегов, Б.А. Цифровые устройства и микропроцессорные системы / Б.А. Калабегов. - М.: Горячая линия-Телеком, 2007. - 336 с.
9. Иванов, В.Н. Электроника и микропроцессорная техника: Учебник / В.Н. Иванов. - М.: Academia, 2012. - 303 с.
10. Коледов, Л.А. Технология и конструкции микросхем, микропроцессоров и микросборок: Учебное пособие / Л.А. Коледов. - СПб.: Лань, 2008. - 400 с.
11. Костров, Б. Архитектура микропроцессорных систем / Б. Костров. - М.: Диалог-МИФИ, 2007. - 304 с.
12. Кузин, А.В. Микропроцессорная техника: Учебник для студ. сред. проф. образования /А.В. Кузин,М.А. Жаворонков.- М.: ИЦ Академия, 2013.-304 с.
13. Микушин, А.В. Цифровые устройства и микропроцессоры: Учебное пособие / А.В. Микушин. - СПб.: BHV, 2010. - 832 с.

14. Новиков, Ю.В. Основы микропроцессорной техники: Учебное пособие / Ю.В.Новиков,П.К.Скоробогатов.-М.:БИНОМ.ЛЗ,ИНТУИТ.РУ,2012.-357 с.
15. Остриков, А.Н. Основы микроэлектроники и микропроцессорной техники: Учебное пособие / А.Н. Остриков, М.И. Слюсарев, Е.Ю. Желтоухова. - СПб.: Лань, 2013. - 496 с.
16. Смирнов, Ю.А. Основы микроэлектроники и микропроцессорной техники: Учебное пособие / Ю.А. Смирнов. - СПб.: Лань, 2013. - 496 с.
17. Федоров, В.А. Электроника и микропроцессорная техника (для бакалавров) / В.А. Федоров, В.И. Моряков, Ю. Щетинов. - М.: КноРус, 2013. - 800 с.
18. Хартов, В.Я. Микропроцессорные системы: Учебное пособие / В.Я. Хартов. - М.: Academia, 2017. - 320 с.
19. Шагурин, И.И. Современные микроконтроллеры и микропроцессоры / И.И. Шагурин. - М.: Горячая линия -Телеком, 2004. - 952 с.
20. Ямпурин, Н.П. Электроника: Учебное пособие / Н.П. Ямпурин. - М.: Академия, 2019. - 320 с.
21. Шишкин, Г.Г. Электроника: Учебник для бакалавров / Г.Г. Шишкин, А.Г. Шишкин. - Люберцы: Юрайт, 2016. - 703 с.
22. Ситников, А.В. Прикладная электроника: Учебник / А.В. Ситников, И.А. Ситников. - М.: Инфра-М, 2018. - 576 с.
23. Соколов, С.В. Электроника: Учебное пособие для вузов. / С.В. Соколов, Е.В. Титов. - М.: РиС,2015.-204 с.
24. Партала, О.Н. Цифровая электроника/О.Н. Партала.-М.:Наука, 2001.-224 с.
25. Опадчий, Ю.Ф. Аналоговая и цифровая электроника: Учебник для вузов / Ю.Ф. Опадчий, О.П. Глудкин, А.И. Гуров. - М.: Горячая линия -Телеком , 2005. - 768 с.
26. Новожилов, О.П. Электроника и схемотехника в 2 ч. часть 1: Учебник для академического бакалавриата / О.П. Новожилов.-Люберцы: Юрайт, 2016.
27. Немцов, М.В. Электротехника и электроника / М.В. Немцов. - М.: Academia, 2017. - 126 с.

28. Миленина, С.А. Электротехника, электроника и схемотехника: Учебник и практикум для академического бакалавриата / С.А. Миленина, Н.К. Миленин. - Люберцы: Юрайт, 2016. - 399 с.
29. Маркелов, С.Н. Электротехника и электроника: Учебное пособие / С.Н. Маркелов, Б.Я. Сазанов. - М.: Форум, 2013. - 208 с.
30. Лачин, В.И. Электроника: Учебное пособие / В.И. Лачин, Н.С. Савелов. - Рн/Д: Феникс, 2010. - 703 с.
31. Лебедев, Е.Ф. Импульсная электроника / Е.Ф. Лебедев, Е.А. Мелешко, Ю.С. Протасов. - М.: Янус-К, 2011. - 752 с.
32. Кузовкин, В.А. Электротехника и электроника: Учебник для СПО / В.А. Кузовкин, В.В. Филатов. - Люберцы: Юрайт, 2016. - 431 с.
33. Кузнецов, А.В. Аналоговая и цифровая электроника / А.В. Кузнецов, К.А. Палагута. - М.: МГИУ, 2010. - 264 с.
34. Кравченко, В.Б. Электроника и схемотехника: Учебное пособие / В.Б. Кравченко, Е.А. Бородкин. - М.: Academia, 2017. - 640 с.
35. Новожилов О. П.Основы микропроцессорной техники : в 2-х т. / О. П. Новожилов. - 2-е изд. - М. : РадиоСофт. – 2012 Т. 1 : учебное пособие. - М., 2012. - 431 с.
36. Костров Б.В. Микропроцессорные системы и микроконтроллеры : учебное пособие / Б. В. Костров, В. Н. Ручкин. - М. : ДЕСС, 2007. - 320 с.
37. Фишер-Криппс А.С. Интерфейсы измерительных систем : справочное руководство:пер.с англ. /А.С.Фишер-Криппс.- М.:Технологии,2006. - 334 с.

Содержание

	Введение	3
1	Основные понятия. Цифровые устройства, структура	5
2.	Области применения цифровых микросхем	7
3.	Сумматоры	12
4.	Схема строения и принцип работы компоратора	30
5.	Элементы хранения - триггеры, асинхрон и синхрон RS-триггеры. D-триггер, T-триггер и универсальный JK-триггер	38
6.	Регистры. Параллельное и последовательное работа регистров	69
7.	Кодопреобразователи .	100
8.	Счетчики	109
9.	Исследование работы активных фильтров	136
10	Кодирующие и декодирующие устройства	182
11.	Одновибраторы и генераторы	197
	Список литературы	211